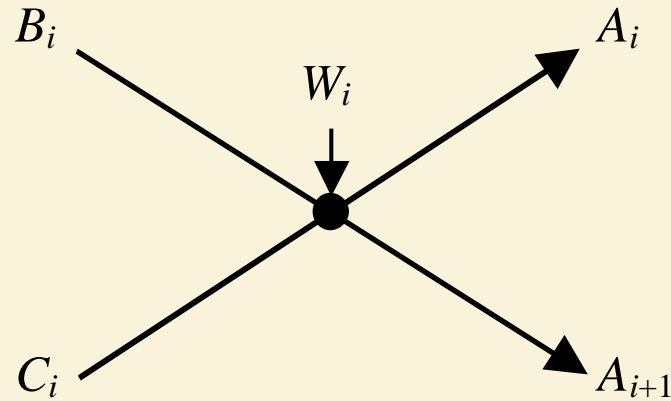


Zadania do pierwszej części projektu zespołowego

Nr zad.	FFT z podziałem w dziedzinie: częstotliwości (F), czasu (T)	Liczba bloków mnożenia i sumatorów \times, Σ	Odwrócona bitowo kolejność danych: na wejściu (We), na wyjściu (Wy)	Maksymalna długość cyklu obliczeniowego (taktów zegara t)
0	F	1, 1	We	6
1	F	1, 2	We	4
2	F	2, 2	We	3
3	F	2, 3	We	2
4	F	2, 4	We	2
5	T	2, 4	We	2
6	F	1, 1	Wy	6
7	F	1, 2	Wy	4
8	F	2, 2	Wy	3
9	F	2, 3	Wy	2
10	F	2, 4	Wy	2
11	T	2, 4	Wy	2
12	F	2, 6	Wy	2
13	F	2, 6	We	2
14	T	1, 2	Wy	4
15	T	1, 2	We	4

Operacja bazowa FFT o podstawie 2 z podziałem w czasie



$$A_i = B_i + C_i \cdot W_i$$

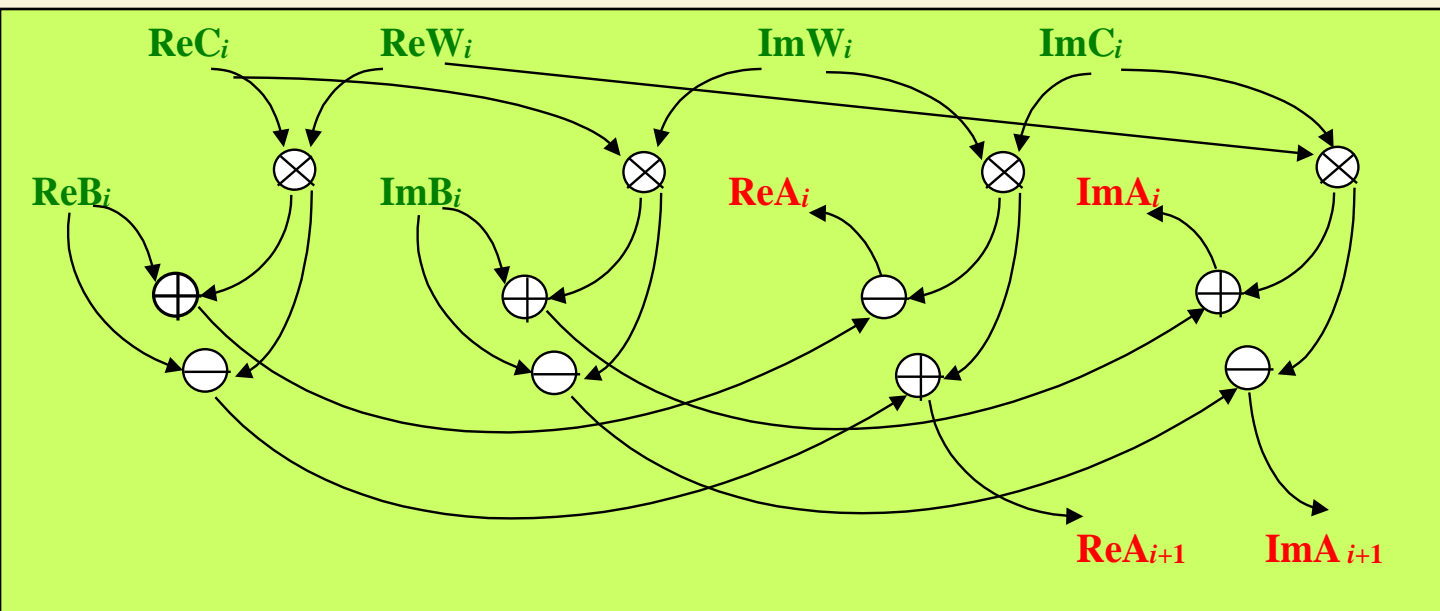
$$A_{i+1} = B_i - C_i \cdot W_i$$

$$\text{Re } A_i = \text{Re } B_i + \text{Re } C_i \cdot \text{Re } W_i - \text{Im } C_i \cdot \text{Im } W_i$$

$$\text{Im } A_i = \text{Im } B_i + \text{Re } C_i \cdot \text{Im } W_i + \text{Im } C_i \cdot \text{Re } W_i$$

$$\text{Re } A_{i+1} = \text{Re } B_i - \text{Re } C_i \cdot \text{Re } W_i + \text{Im } C_i \cdot \text{Im } W_i$$

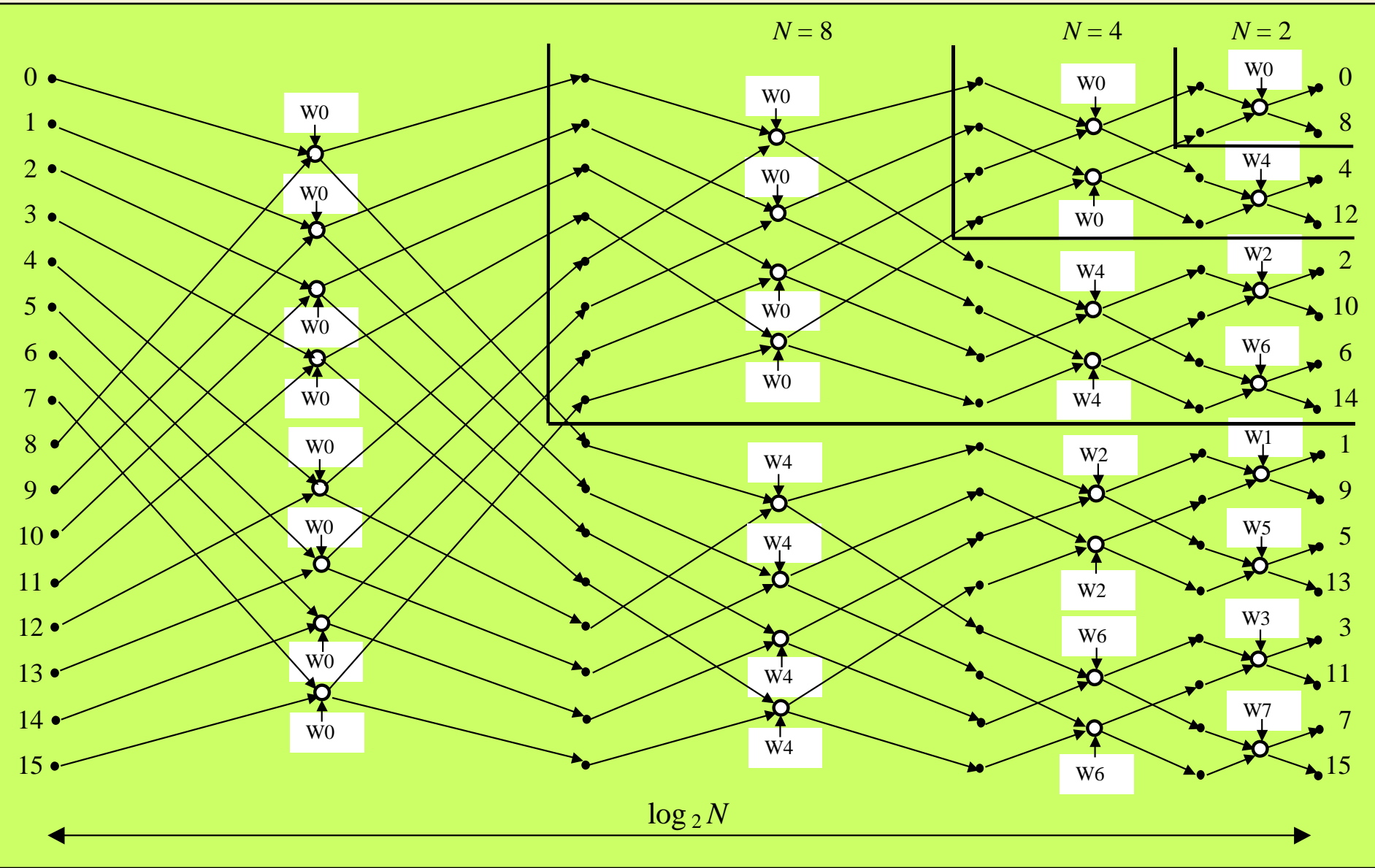
$$\text{Im } A_{i+1} = \text{Im } B_i - \text{Re } C_i \cdot \text{Im } W_i - \text{Im } C_i \cdot \text{Re } W_i$$



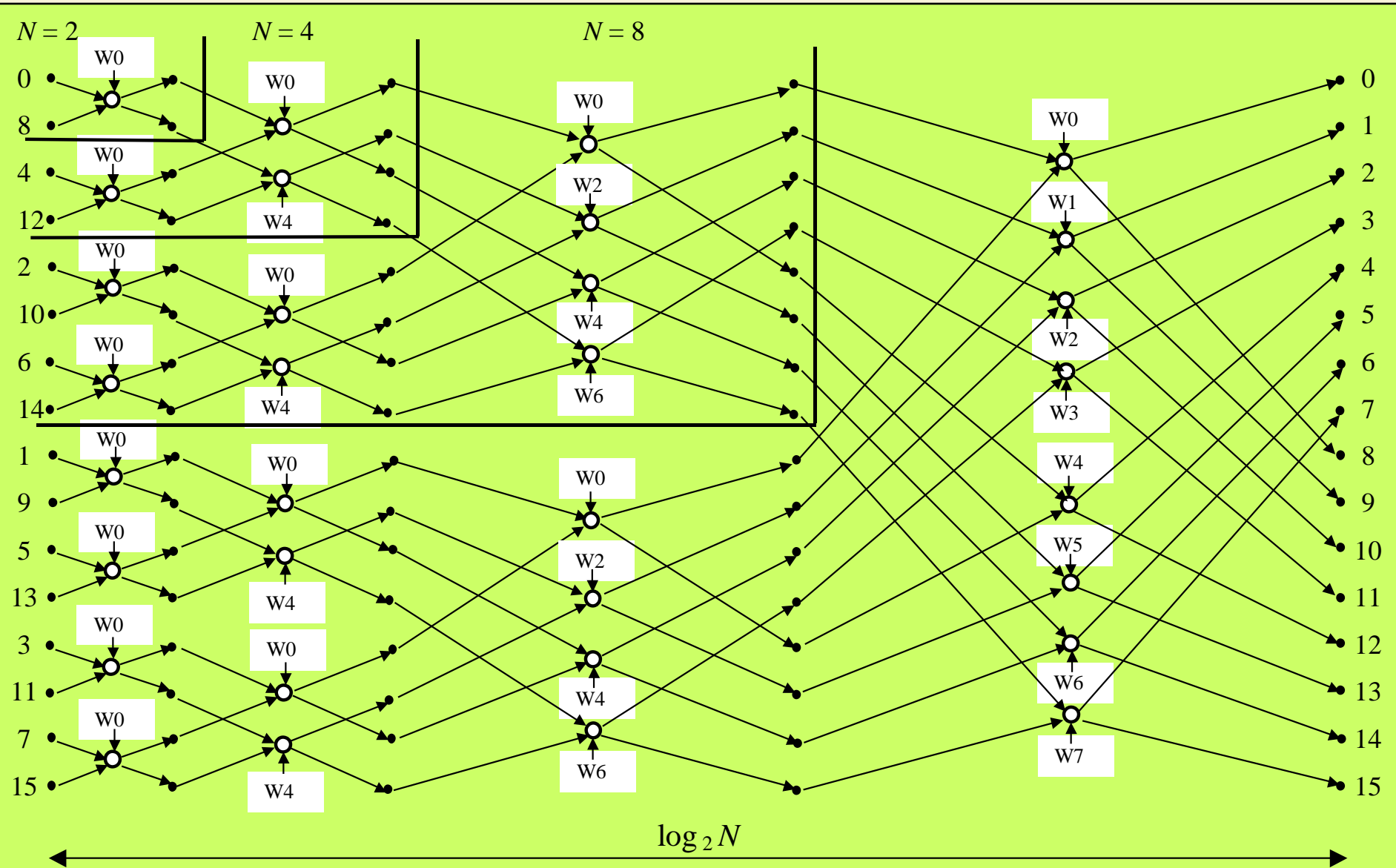
Parametry operacji bazowej:

- 4 operacje mnożenia;
- 8 operacji dodawania.

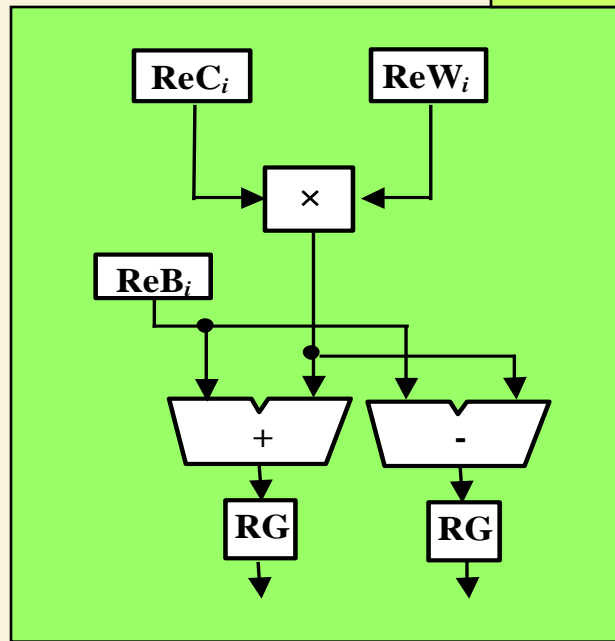
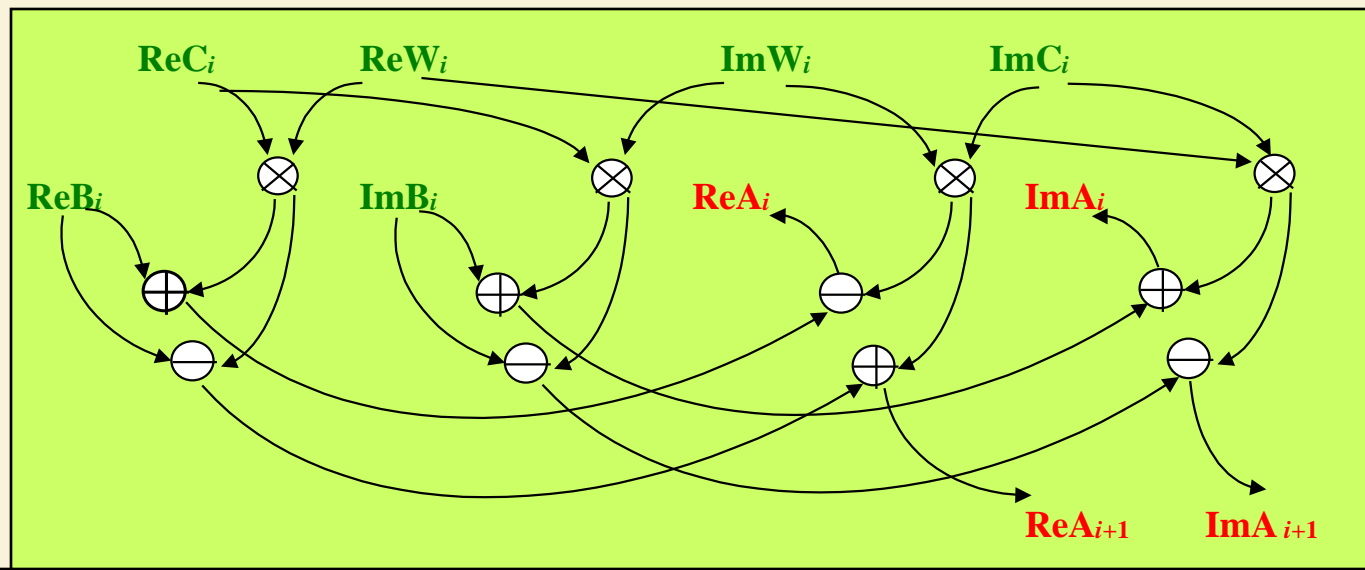
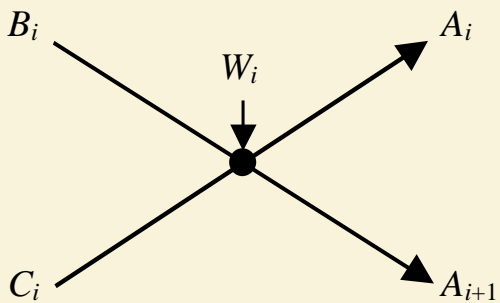
Graf algorytmu 16-punktowego FFT o podstawie 2 z podziałem w czasie, normalnie uporządkowanymi danymi wejściowymi i odwróconą bitowo kolejnością wyników



Graf algorytmu 16-punktowego FFT o podstawie 2 z podziałem w czasie, odwróconą bitowo kolejnością danych wejściowych i normalnie uporządkowanymi wynikami

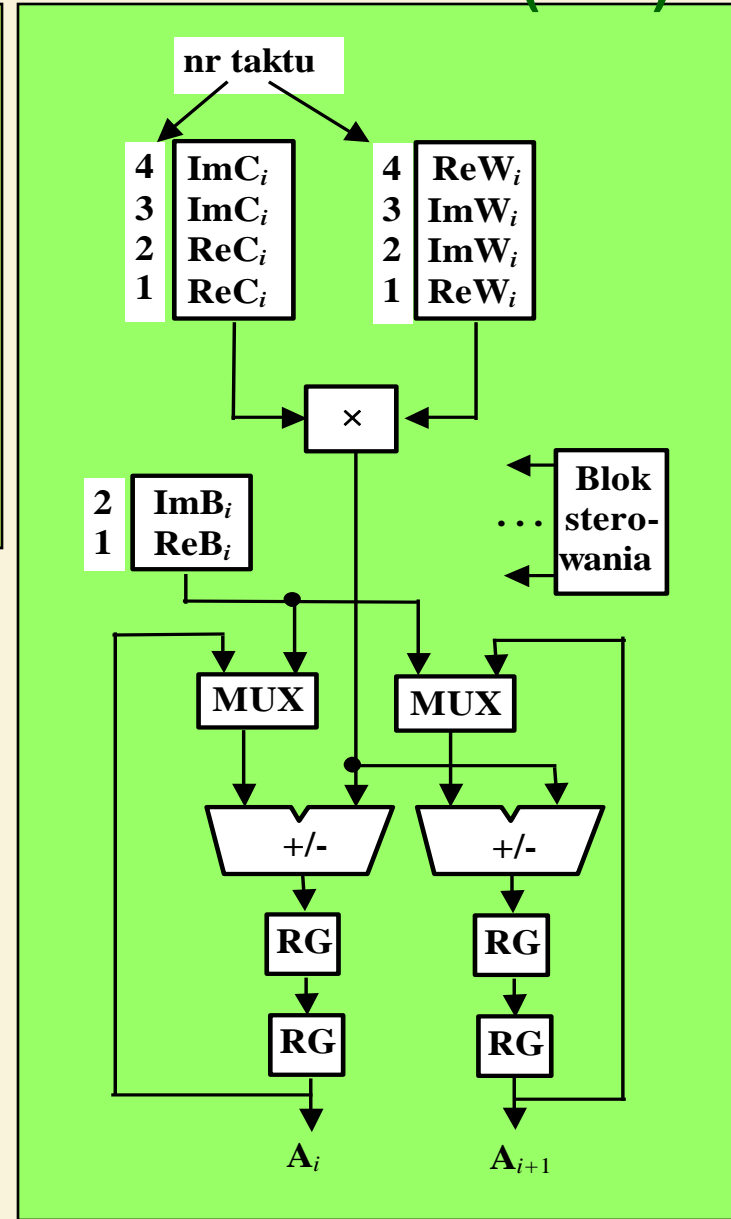
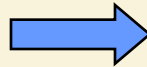
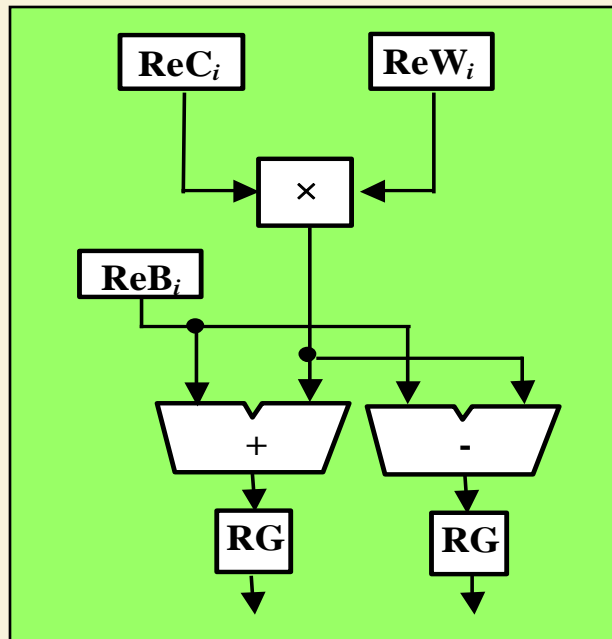
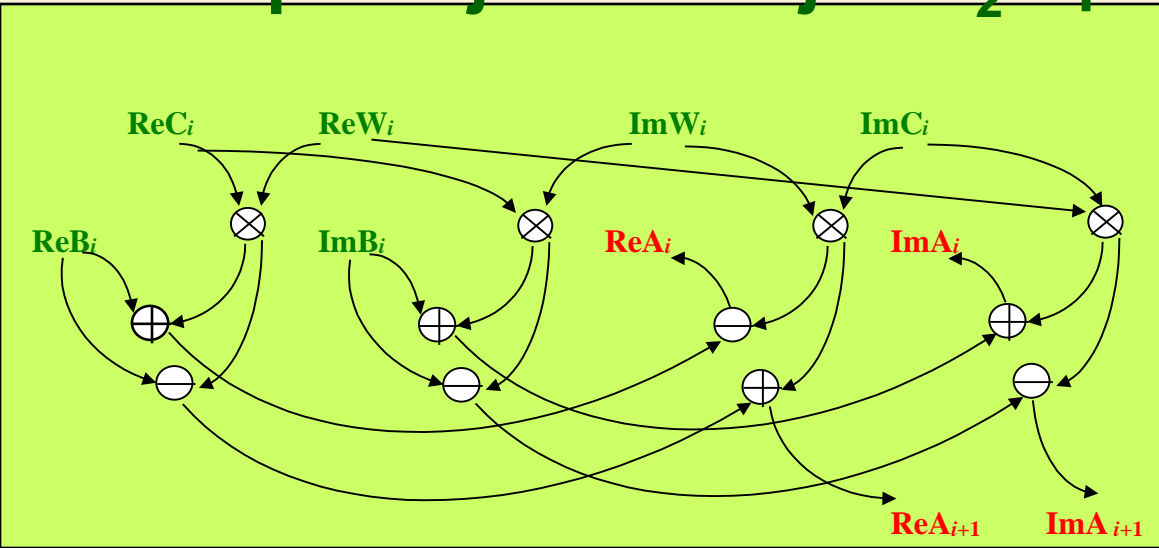


Opracowanie struktury ALU do realizacji operacji bazowej FFT₂ z podziałem w czasie (c.d.)

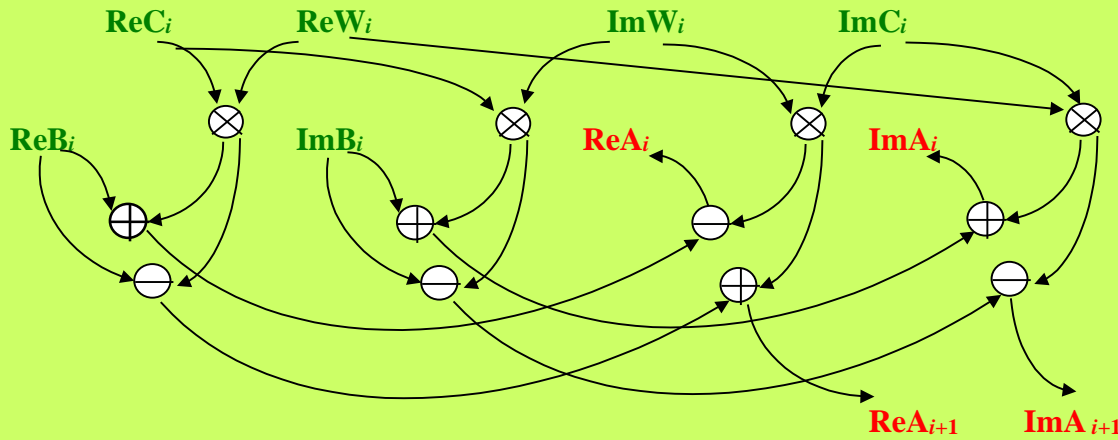


$$\begin{aligned} \text{Re } A_i &= \text{Re } B_i + \text{Re } C_i \cdot \text{Re } W_i - \text{Im } C_i \cdot \text{Im } W_i \\ \text{Im } A_i &= \text{Im } B_i + \text{Re } C_i \cdot \text{Im } W_i + \text{Im } C_i \cdot \text{Re } W_i \\ \text{Re } A_{i+1} &= \text{Re } B_i - \text{Re } C_i \cdot \text{Re } W_i + \text{Im } C_i \cdot \text{Im } W_i \\ \text{Im } A_{i+1} &= \text{Im } B_i - \text{Re } C_i \cdot \text{Im } W_i - \text{Im } C_i \cdot \text{Re } W_i \end{aligned}$$

Opracowanie struktury ALU do realizacji operacji bazowej FFT₂ z podziałem w czasie (c.d.)



Opracowanie struktury ALU do realizacji operacji bazowej FFT₂ z podziałem w czasie (c.d.)

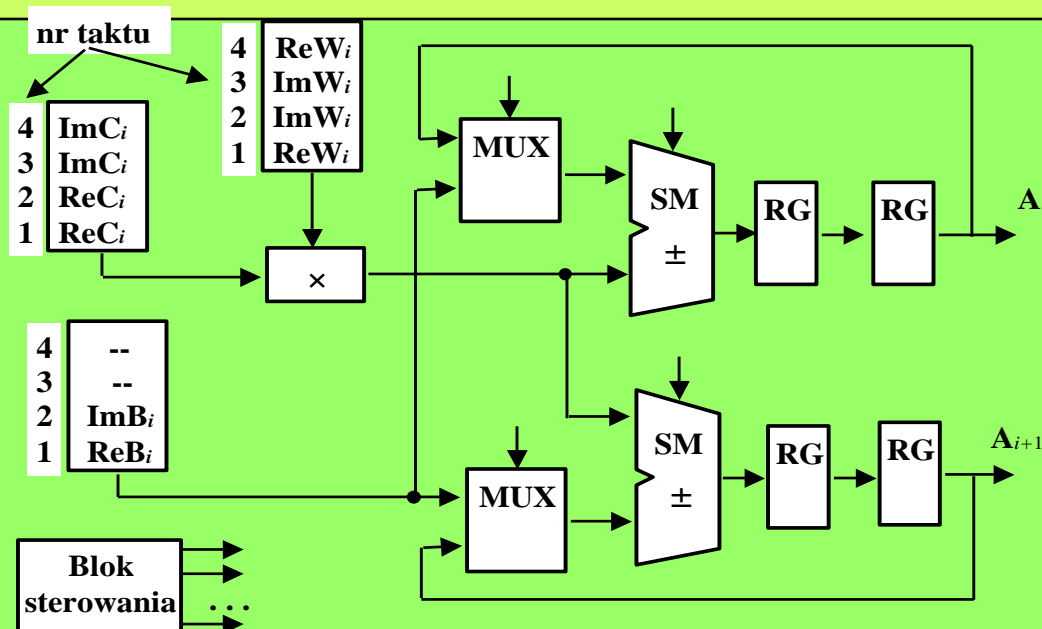


Parametry operacji bazowej

- 4 operacje mnożenia;
- 8 operacji dodawania;

Parametry urządzenia:

- 1 blok mnożący;
- 2 sumatory;
- czas obliczeń - 4 takty.



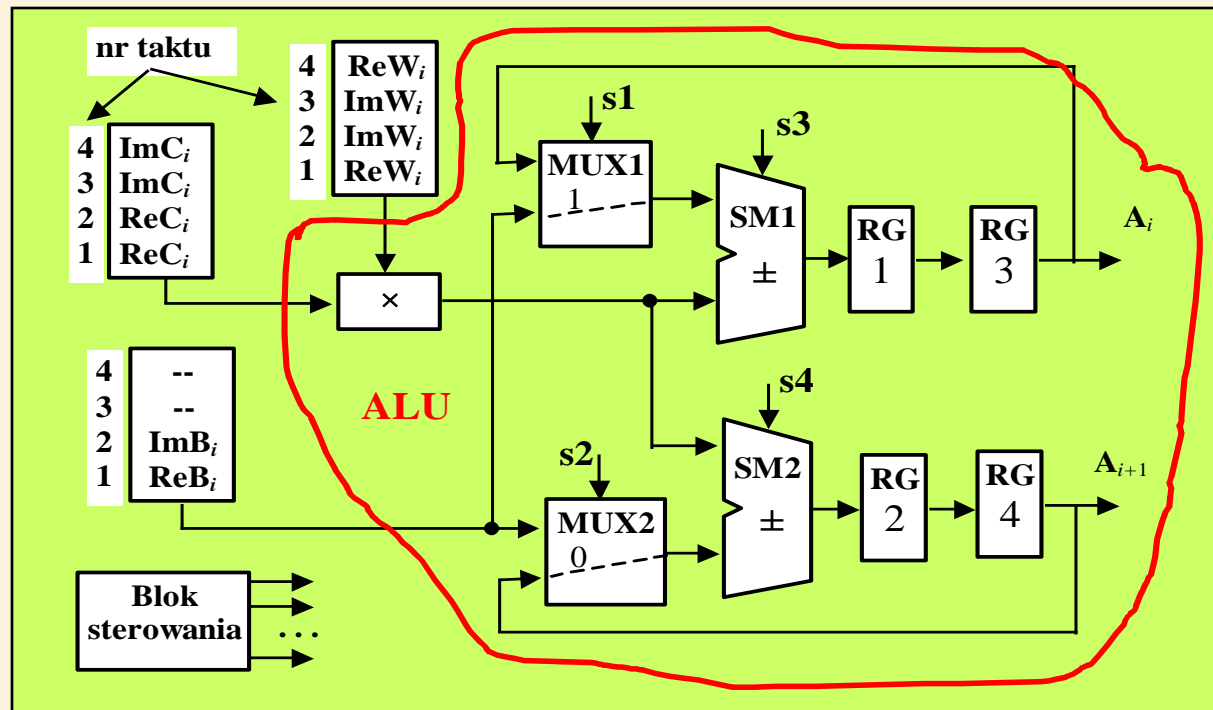
$$\text{Re } A_i = \text{Re } B_i + \text{Re } C_i \cdot \text{Re } W_i - \text{Im } C_i \cdot \text{Im } W_i$$

$$\text{Im } A_i = \text{Im } B_i + \text{Re } C_i \cdot \text{Im } W_i + \text{Im } C_i \cdot \text{Re } W_i$$

$$\text{Re } A_{i+1} = \text{Re } B_i - \text{Re } C_i \cdot \text{Re } W_i + \text{Im } C_i \cdot \text{Im } W_i$$

$$\text{Im } A_{i+1} = \text{Im } B_i - \text{Re } C_i \cdot \text{Im } W_i - \text{Im } C_i \cdot \text{Re } W_i$$

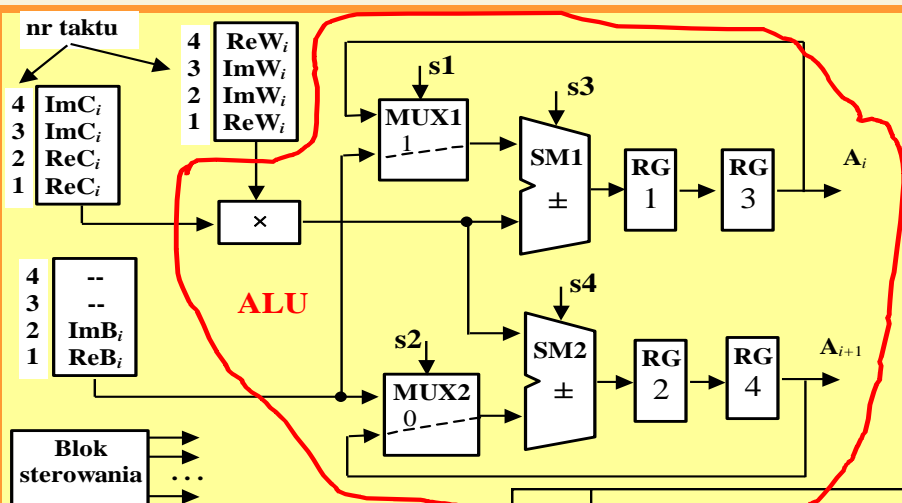
Opracowanie bloku sterowania (BS) dla opracowanego ALU



$$\begin{aligned} \text{Re } A_i &= \text{Re } B_i + \text{Re } C_i \cdot \text{Re } W_i - \text{Im } C_i \cdot \text{Im } W_i \\ \text{Im } A_i &= \text{Im } B_i + \text{Re } C_i \cdot \text{Im } W_i + \text{Im } C_i \cdot \text{Re } W_i \\ \text{Re } A_{i+1} &= \text{Re } B_i - \text{Re } C_i \cdot \text{Re } W_i + \text{Im } C_i \cdot \text{Im } W_i \\ \text{Im } A_{i+1} &= \text{Im } B_i - \text{Re } C_i \cdot \text{Im } W_i - \text{Im } C_i \cdot \text{Re } W_i \end{aligned}$$

Nr taktu				
1	2	3	4	5(1)
ReB+ReC*ReW=>RG1	RG1=>RG3	RG1=>RG3	ReAi =>RG3	ImAi =>RG3
ReB-ReC*ReW=>RG2	RG2=>RG4	RG2=>RG4	ReAi+1=>RG4	ImAi+1=>RG4
	ImB+ReC*ImW=>RG1	ReAi=RG3-ImC*ImW=>RG1	ImAi=RG3+ImC*ReW=>RG1	
	ImB-ReC*ImW=>RG2	ReAi+1=RG4+ImC*ImW=>RG2	ImAi+1=RG4-ImC*ReW=>RG2	

Opracowanie bloku sterowania (BS) dla opracowanego ALU (c.d.)



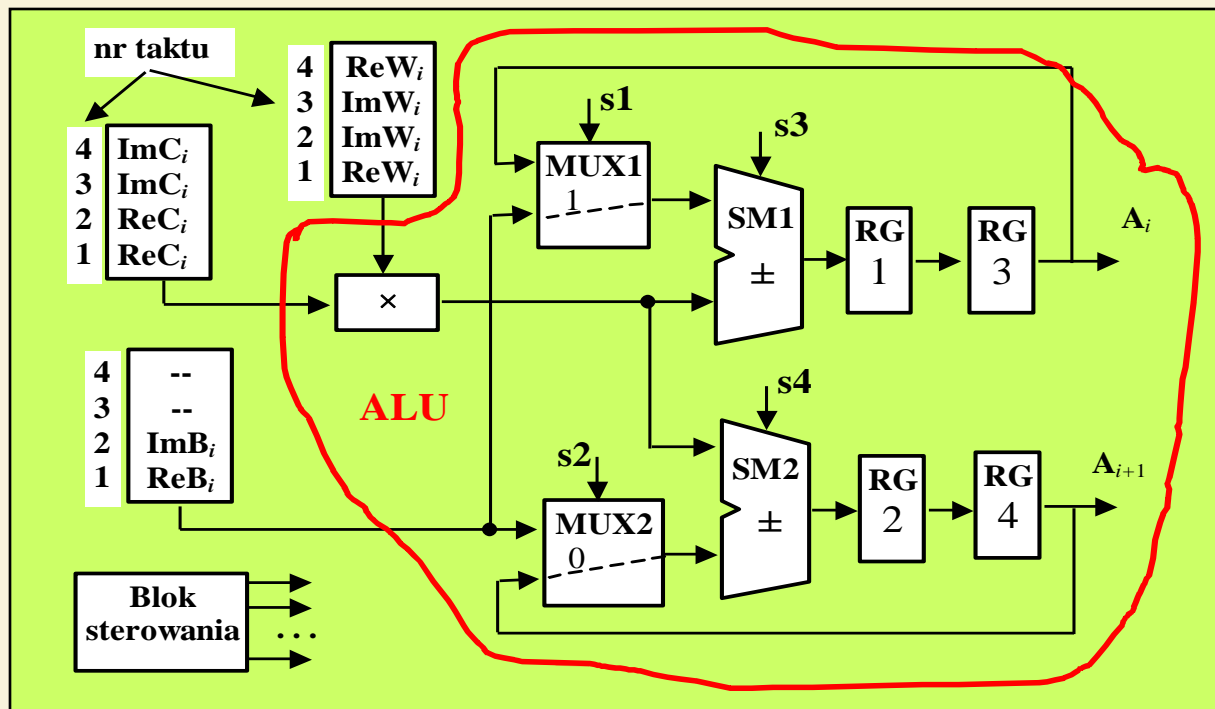
$$\begin{aligned} \text{Re } A_i &= \text{Re } B_i + \text{Re } C_i \cdot \text{Re } W_i - \text{Im } C_i \cdot \text{Im } W_i \\ \text{Im } A_i &= \text{Im } B_i + \text{Re } C_i \cdot \text{Im } W_i + \text{Im } C_i \cdot \text{Re } W_i \\ \text{Re } A_{i+1} &= \text{Re } B_i - \text{Re } C_i \cdot \text{Re } W_i + \text{Im } C_i \cdot \text{Im } W_i \\ \text{Im } A_{i+1} &= \text{Im } B_i - \text{Re } C_i \cdot \text{Im } W_i - \text{Im } C_i \cdot \text{Re } W_i \end{aligned}$$

Nr taktu	Operacja	s1 (MUX1)	s2 (MUX2)	s3 (SM1)	s4 (SM2)	Odczyt z RAM	ROM	Zapis do RAM
i	$\text{Re } B + \text{Re } C * \text{Re } W \Rightarrow \text{RG1}$ $\text{Re } B - \text{Re } C * \text{Re } W \Rightarrow \text{RG2}$	1	1	0(+)	1(-)	ReB ReC	ReW	
$i+1$	$\text{RG1} \Rightarrow \text{RG3}$ $\text{RG2} \Rightarrow \text{RG4}$ $\text{Im } B + \text{Re } C * \text{Im } W \Rightarrow \text{RG1}$ $\text{Im } B - \text{Re } C * \text{Im } W \Rightarrow \text{RG2}$	1	1	0(+)	1(-)	ImB ReC	ImW	
$i+2$	$\text{RG1} \Rightarrow \text{RG3}$ $\text{RG2} \Rightarrow \text{RG4}$ $\text{Re } A_i = \text{RG3} - \text{Im } C * \text{Im } W \Rightarrow \text{RG1}$ $\text{Re } A_{i+1} = \text{RG4} + \text{Im } C * \text{Im } W \Rightarrow \text{RG2}$	0	0	1(-)	0(+)	ImC	ImW	
$i+3$	$\text{Re } A_i \Rightarrow \text{RG3}$ $\text{Re } A_{i+1} \Rightarrow \text{RG4}$ $\text{Im } A_i = \text{RG3} + \text{Im } C * \text{Re } W \Rightarrow \text{RG1}$ $\text{Im } A_{i+1} = \text{RG4} - \text{Im } C * \text{Re } W \Rightarrow \text{RG2}$	0	0	0(+)	1(-)	ImC	ReW	
$i+4$	$\text{RG1} \Rightarrow \text{RG3}$ $\text{RG2} \Rightarrow \text{RG4}$							ReA _{i} ReA _{$i+1$}
$i+5$	$\text{RG1} \Rightarrow \text{RG3}$ $\text{RG2} \Rightarrow \text{RG4}$							ImA _{i} ImA _{$i+1$}

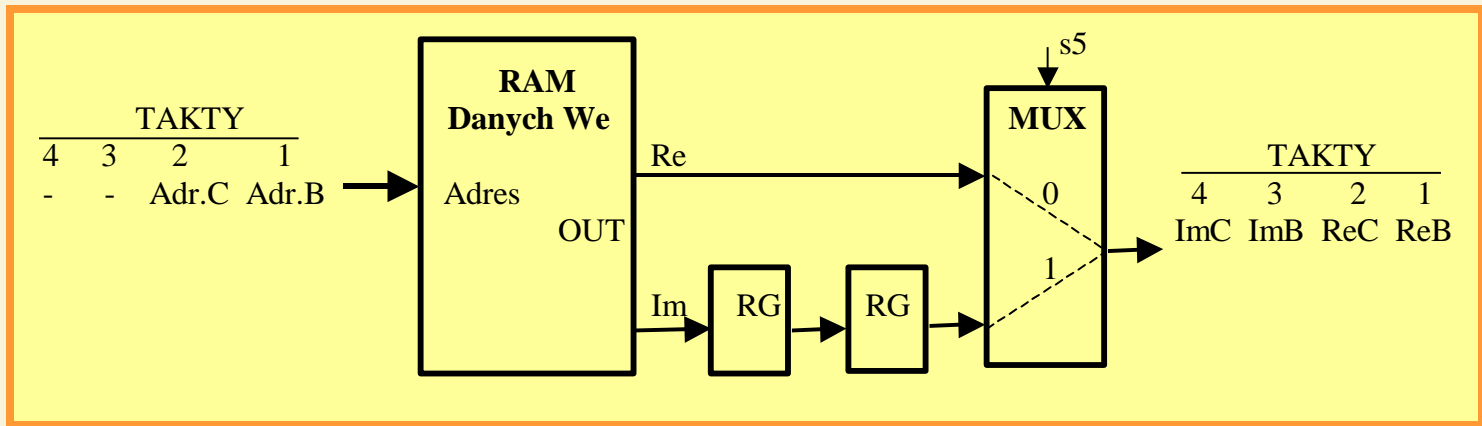
Opracowanie bloku sterowania (BS) dla opracowanego ALU (c.d.)

Nr taktu	Operacja	s1 (MUX1)	s2 (MUX2)	s3 (SM1)	s4 (SM2)	Odczyt z RAM	ROM	Zapis do RAM
i	$ReB+ReC*ReW \Rightarrow RG1$ $ReB-ReC*ReW \Rightarrow RG2$	1	1	0(+)	1(-)	ReB ReC	ReW	ReA_i ReA_{i+1}
$i+1$	$RG1 \Rightarrow RG3$ $RG2 \Rightarrow RG4$ $ImB+ReC*ImW \Rightarrow RG1$ $ImB-ReC*ImW \Rightarrow RG2$	1	1	0(+)	1(-)	ImB ReC	ImW	ImA_i ImA_{i+1}
$i+2$	$RG1 \Rightarrow RG3$ $RG2 \Rightarrow RG4$ $ReA_i = RG3 - ImC * ImW \Rightarrow RG1$ $ReA_{i+1} = RG4 + ImC * ImW \Rightarrow RG2$	0	0	1(-)	0(+)	ImC	ImW	
$i+3$	$ReA_i \Rightarrow RG3$ $ReA_{i+1} \Rightarrow RG4$ $ImA_i = RG3 + ImC * ReW \Rightarrow RG1$ $ImA_{i+1} = RG4 - ImC * ReW \Rightarrow RG2$	0	0	0(+)	1(-)	ImC	ReW	
$i+4$	$RG1 \Rightarrow RG3$ $RG2 \Rightarrow RG4$							ReA_i ReA_{i+1}
	$ReB+ReC*ReW \Rightarrow RG1$ $ReB-ReC*ReW \Rightarrow RG2$	1	1	0(+)	1(-)	ReB ReC	ReW	
$i+5$	$RG1 \Rightarrow RG3$ $RG2 \Rightarrow RG4$ $ImB+ReC*ImW \Rightarrow RG1$ $ImB-ReC*ImW \Rightarrow RG2$	1	1	0(+)	1(-)	ImB ReC	ImW	ImA_i ImA_{i+1}
$i+6$	$RG1 \Rightarrow RG3$ $RG2 \Rightarrow RG4$ $ReA_i = RG3 - ImC * ImW \Rightarrow RG1$ $ReA_{i+1} = RG4 + ImC * ImW \Rightarrow RG2$	0	0	1(-)	0(+)	ImC	ImW	

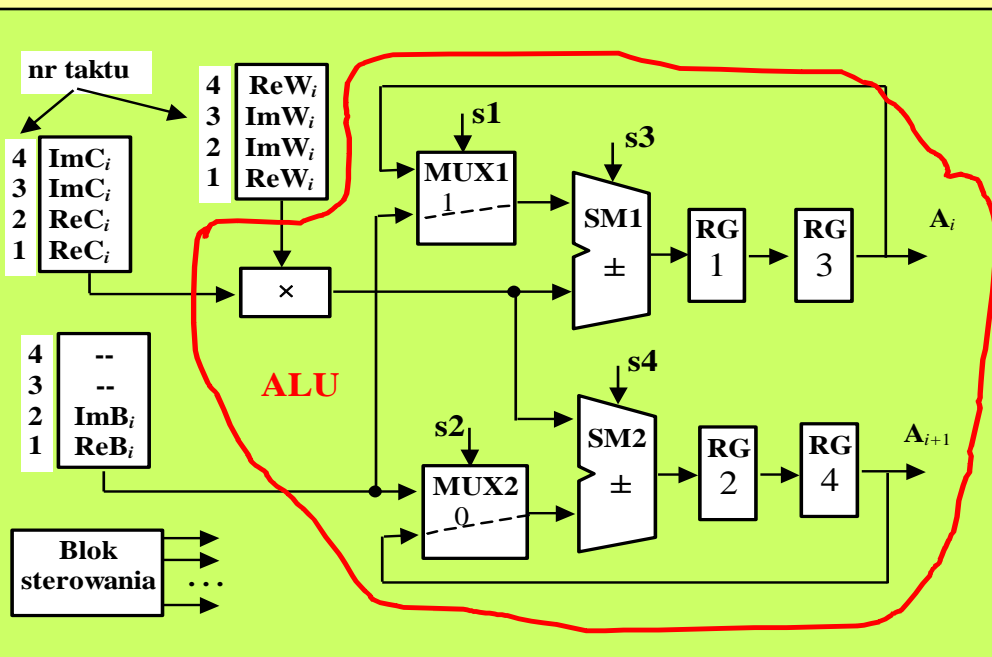
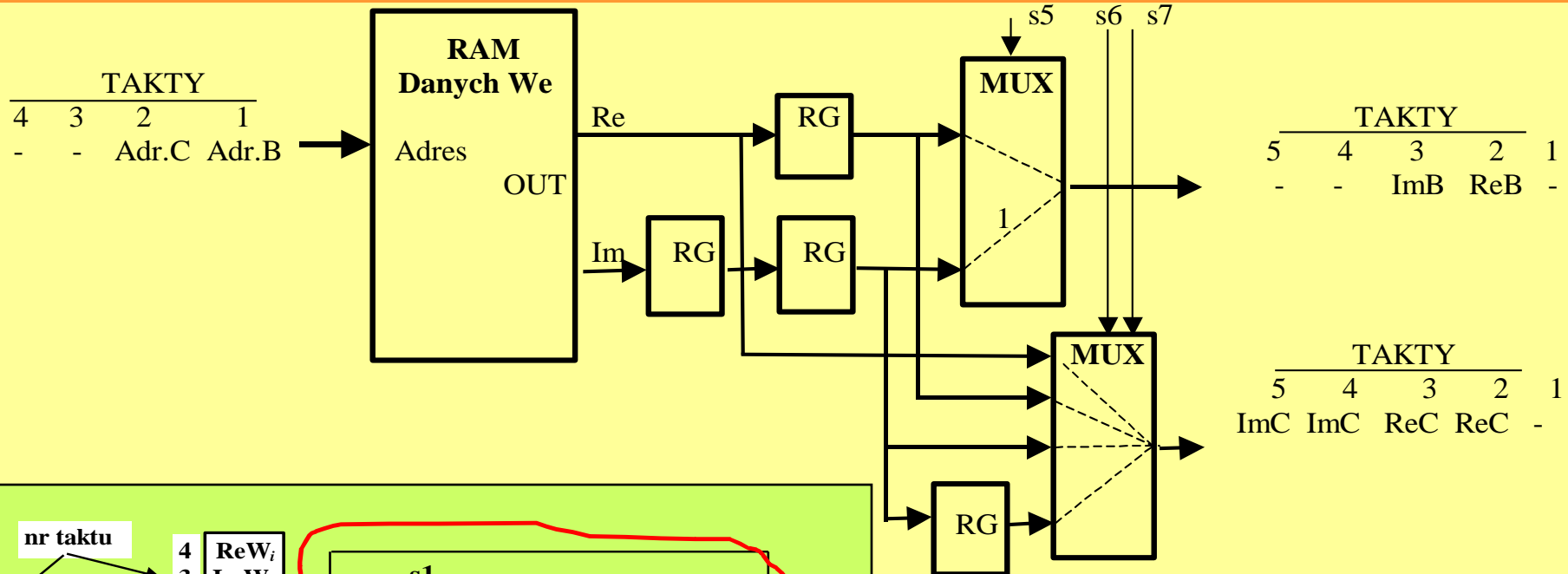
Opracowanie bloku sterowania (BS) dla opracowanego ALU (c.d.)



$$\begin{aligned} \text{Re } A_i &= \text{Re } B_i + \text{Re } C_i \cdot \text{Re } W_i - \text{Im } C_i \cdot \text{Im } W_i \\ \text{Im } A_i &= \text{Im } B_i + \text{Re } C_i \cdot \text{Im } W_i + \text{Im } C_i \cdot \text{Re } W_i \\ \text{Re } A_{i+1} &= \text{Re } B_i - \text{Re } C_i \cdot \text{Re } W_i + \text{Im } C_i \cdot \text{Im } W_i \\ \text{Im } A_{i+1} &= \text{Im } B_i - \text{Re } C_i \cdot \text{Im } W_i - \text{Im } C_i \cdot \text{Re } W_i \end{aligned}$$



Opracowanie bloku sterowania (BS) dla opracowanego ALU (c.d.)

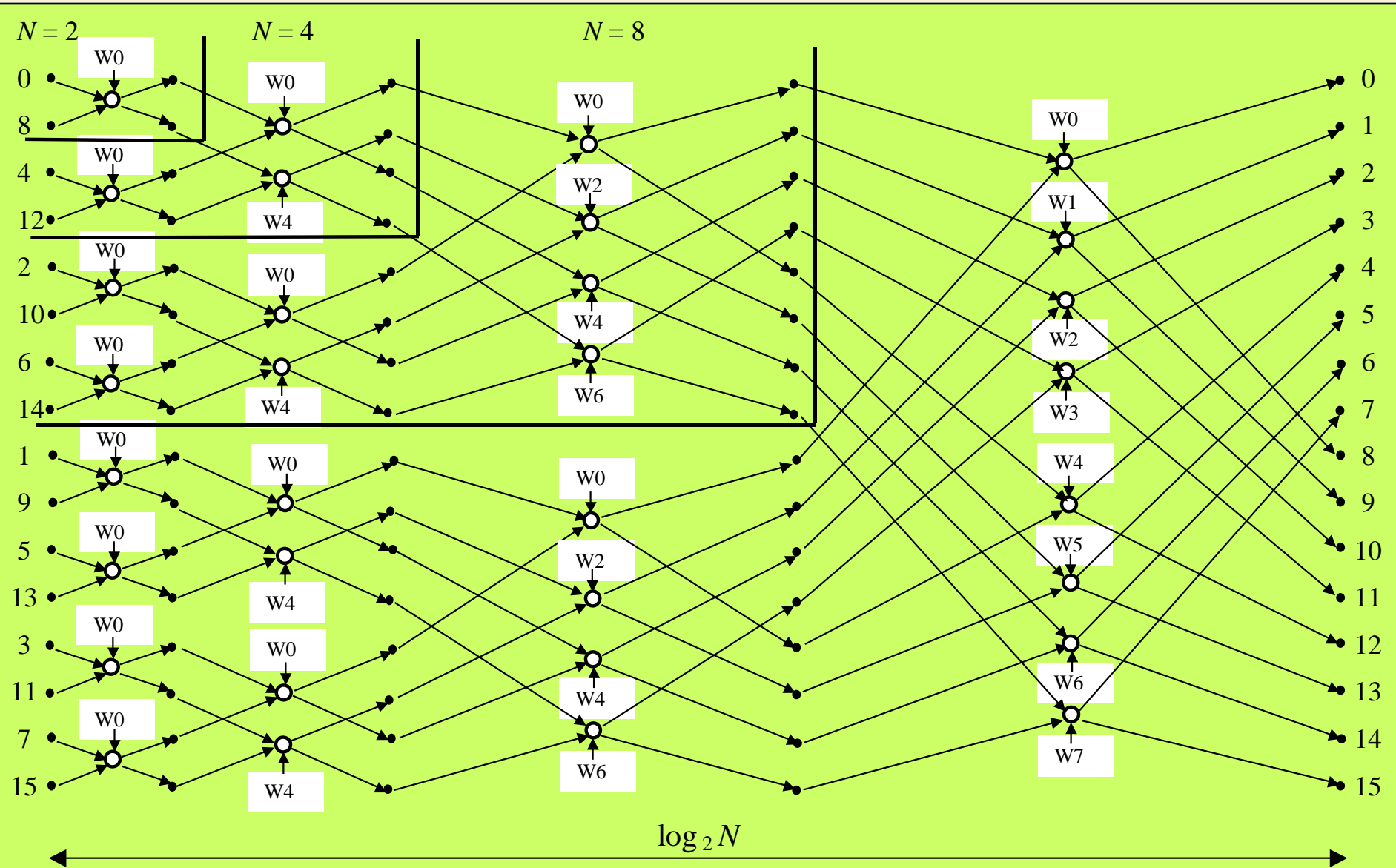


Idea funkcjonowania generatora adresów RAM dla algorytmu FFT₂ z odwróconą bitowo kolejnością odczytu danych We

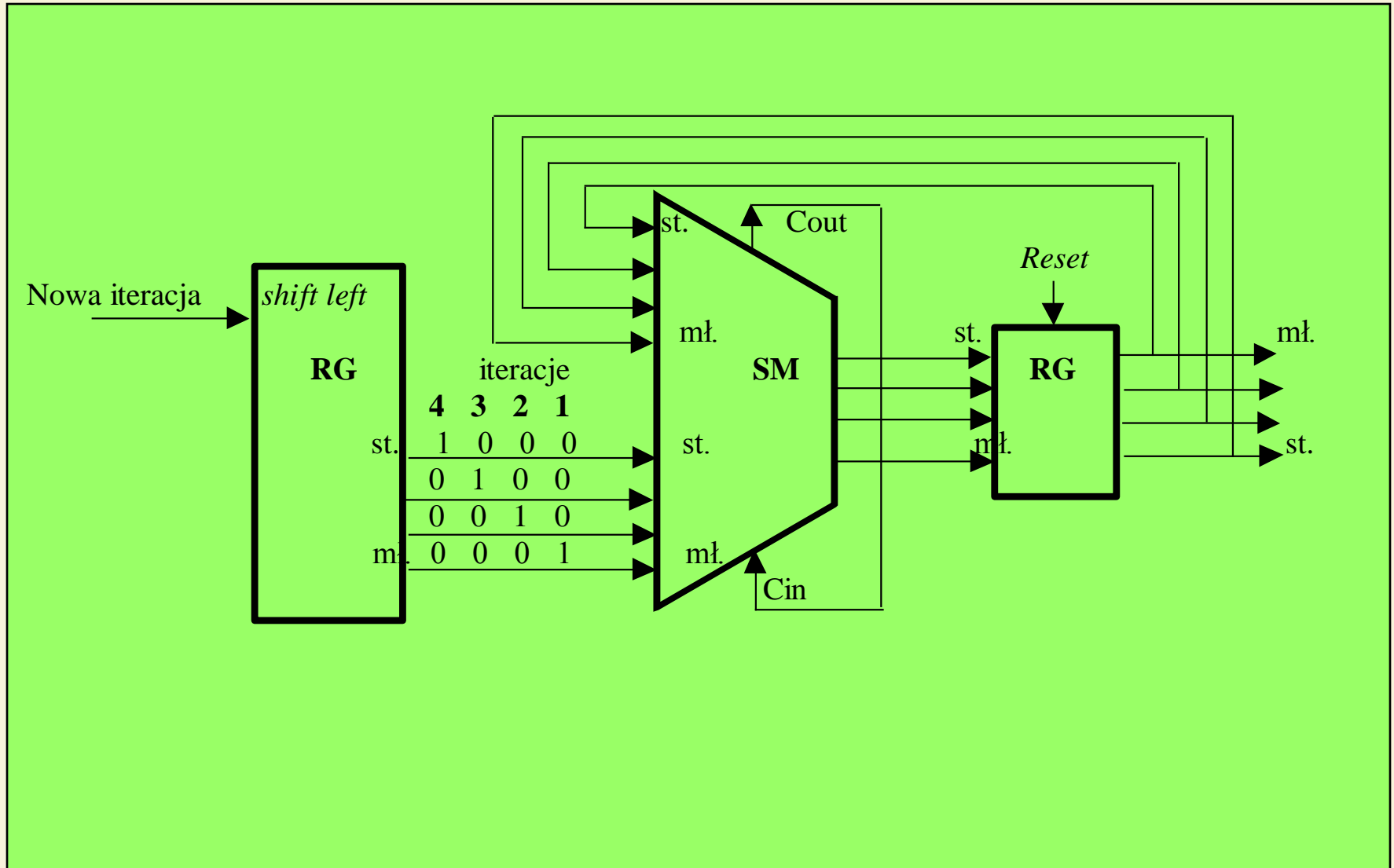
Formowanie adresów danych wejściowych dla przypadku $N=16$

Nr kroku (liczba kroków wynosi $\log_2 N = 4$)							
1		2		3		4	
0000	0	0000	0	0000	0	0000	0
1000	8	0100	4	0010	2	0001	1
0100	4	0010	2	0001	1	1000	8
1100	12	0110	6	0011	3	1001	9
0010	2	0001	1	1000	8	0100	4
1010	10	0101	5	1010	10	0101	5
0110	6	0011	3	1001	9	1100	12
1110	14	0111	7	1011	11	1101	13
0001	1	1000	8	0100	4	0010	2
1001	9	1100	12	0110	6	0011	3
0101	5	1010	10	0101	5	1010	10
1101	13	1110	14	0111	7	10110	11
0011	3	1011	9	1100	12	0110	6
1011	11	1101	13	1110	14	0111	7
0111	7	1011	11	1101	13	1110	14
1111	15	1111	15	1111	15	1111	15

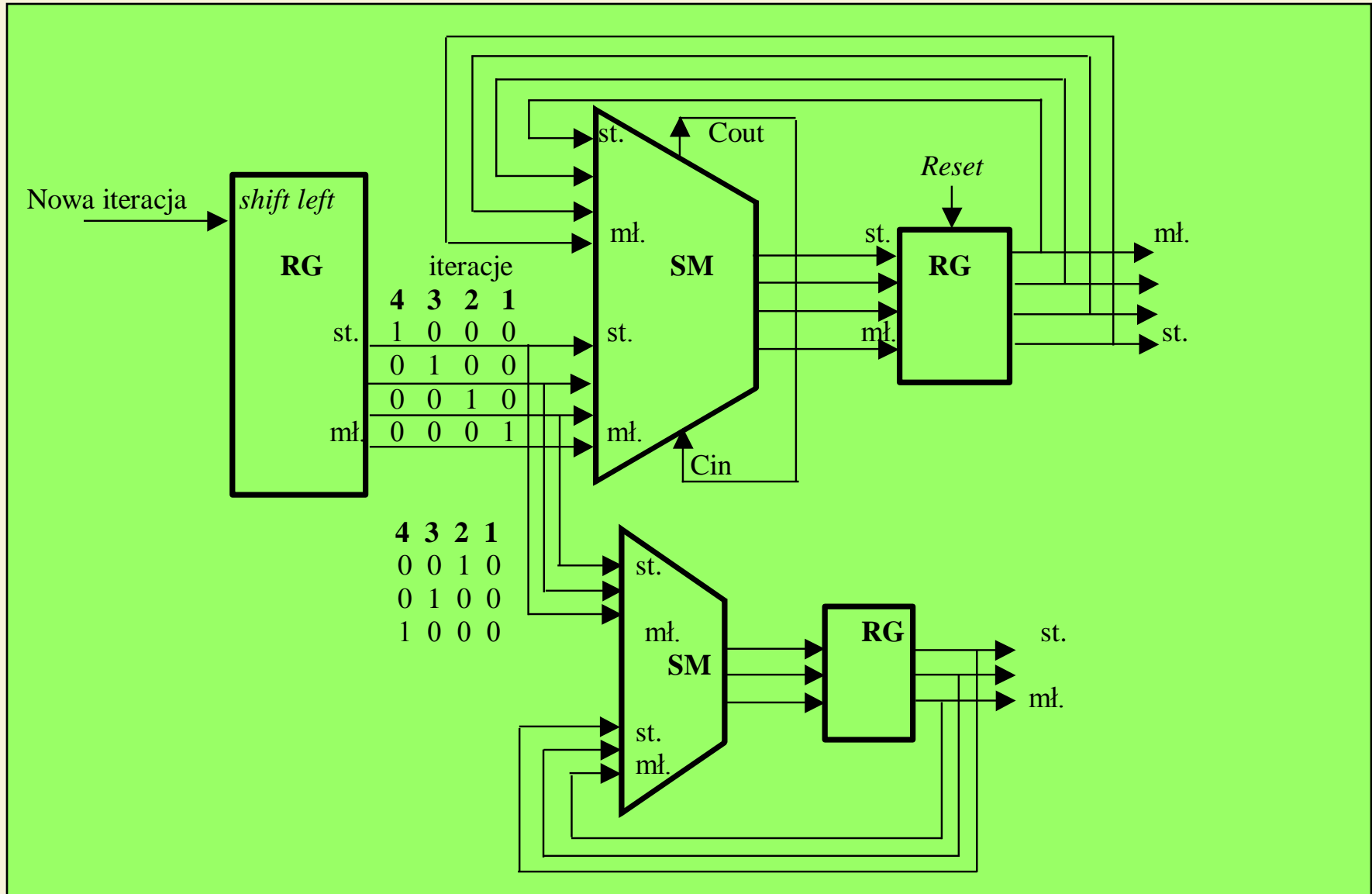
Graf algorytmu 16-punktowego FFT o podstawie 2 z podziałem w czasie, odwróconą bitowo kolejnością danych wejściowych i normalnie uporządkowanymi wynikami



Przykładowy generator adresów RAM dla algorytmu FFT₂ z odwróconą bitowo kolejnością odczytu danych We

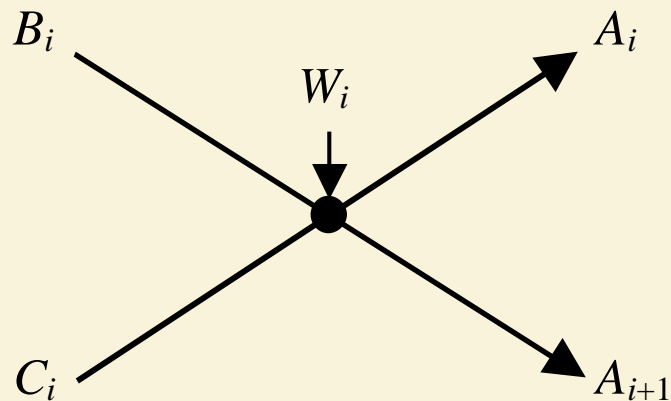


Przykładowy generator adresów RAM i ROM dla algorytmu FFT_2 z podziałem w czasie i odwróconą bitowo kolejnością odczytu danych We



Operacja bazowa FFT

o podstawie 2 z podziałem w dziedzinie częstotliwości



$$A_i = B_i + C_i$$

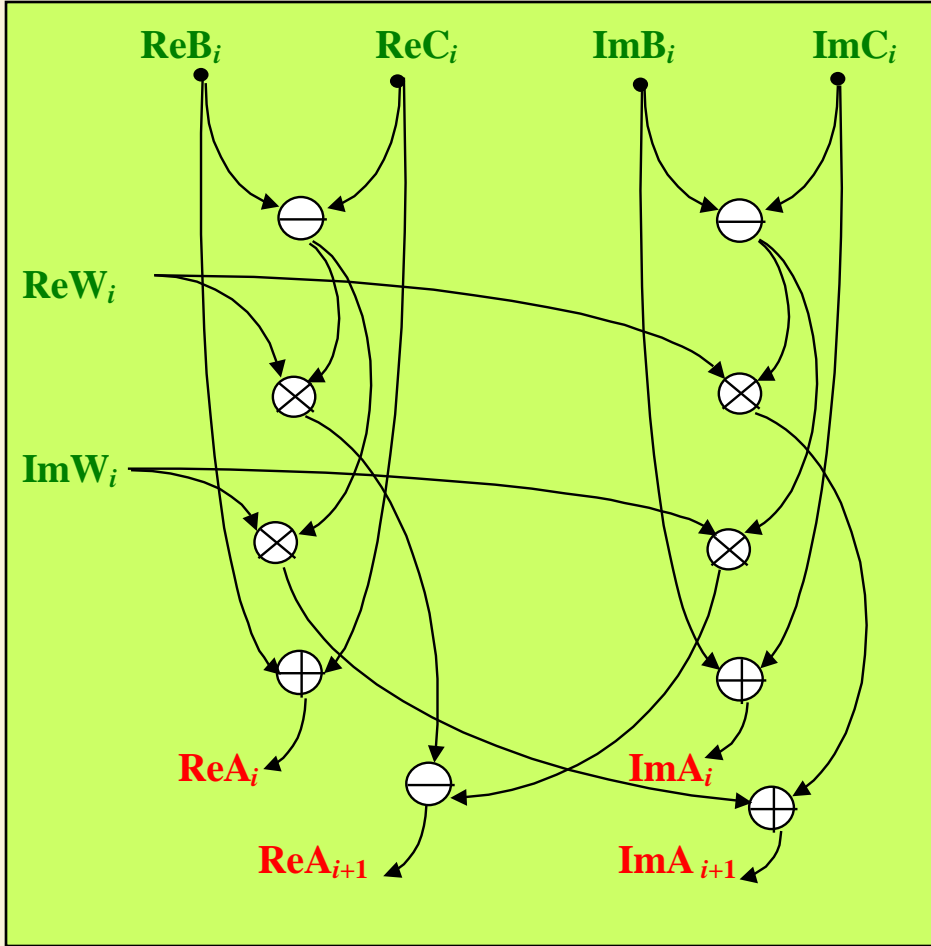
$$A_{i+1} = (B_i - C_i) \cdot W_i$$

$$\text{Re } A_i = \text{Re } B_i + \text{Re } C_i$$

$$\text{Im } A_i = \text{Im } B_i + \text{Im } C_i$$

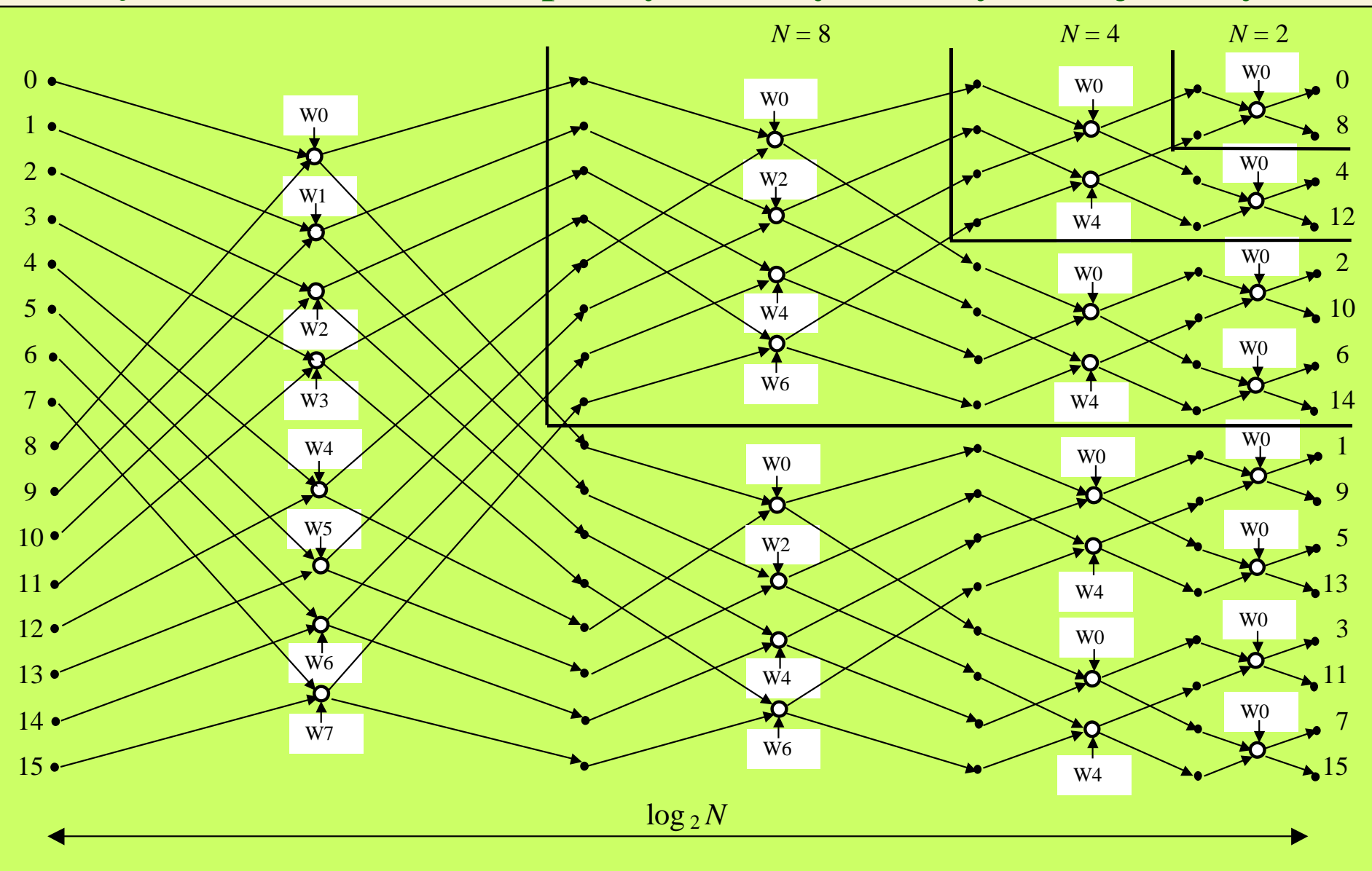
$$\text{Re } A_{i+1} = (\text{Re } B_i - \text{Re } C_i) \cdot \text{Re } W_i - (\text{Im } B_i - \text{Im } C_i) \cdot \text{Im } W_i$$

$$\text{Im } A_{i+1} = (\text{Re } B_i - \text{Re } C_i) \cdot \text{Im } W_i + (\text{Im } B_i - \text{Im } C_i) \cdot \text{Re } W_i$$

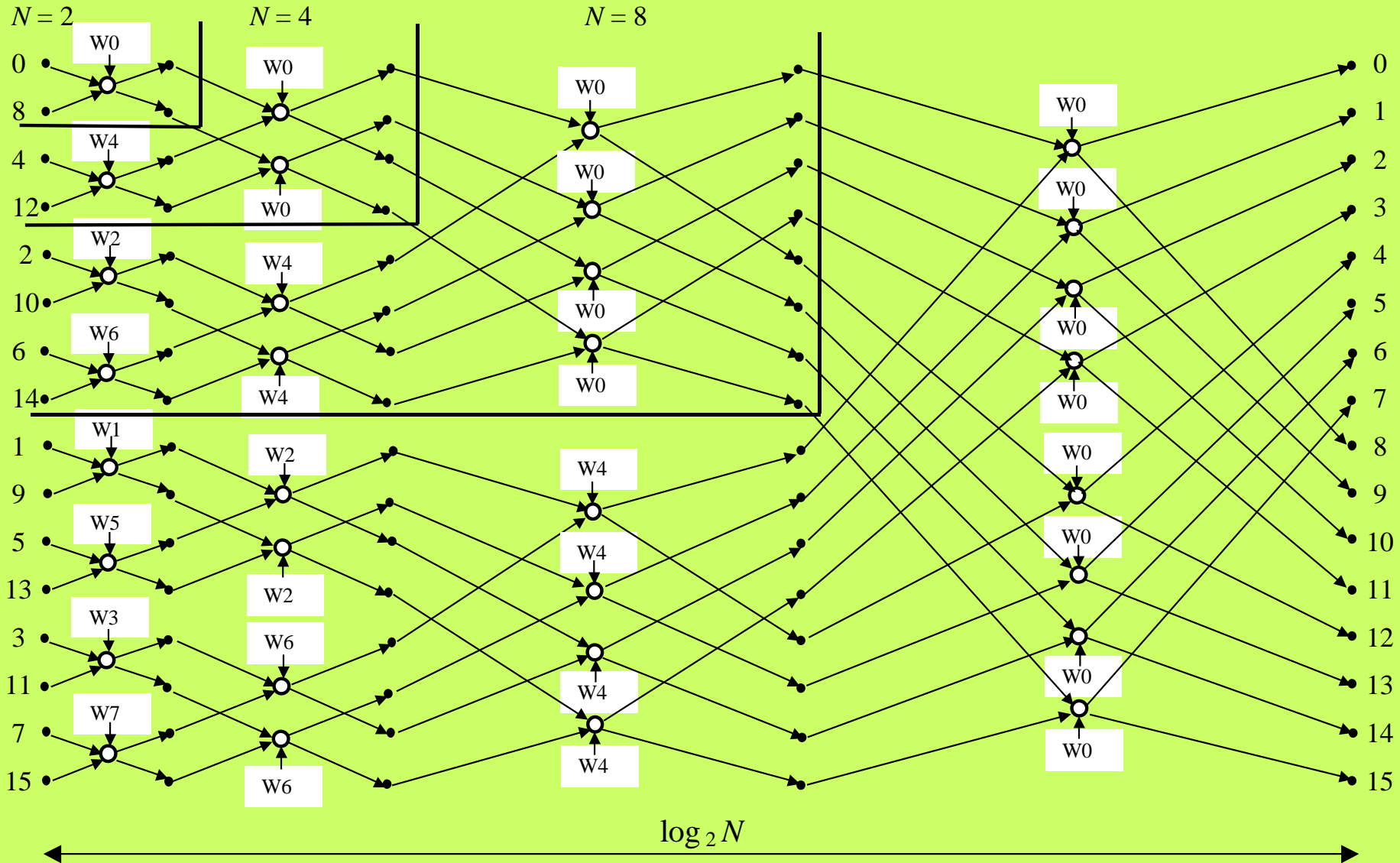


- Parametry op. bazowej**
- 4 operacje mnożenia;
 - 6 operacji dodawania.

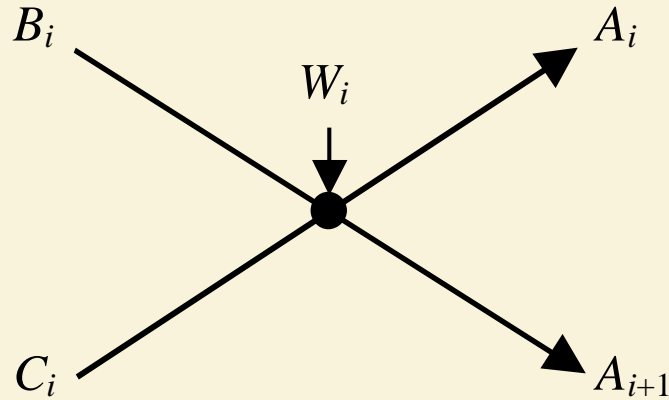
Graf algorytmu 16-punktowego FFT o podstawie 2 z podziałem w częstotliwości, odwróconą bitowo kolejnością wyników i normalnie uporządkowanymi danymi wejściowymi



Graf algorytmu 16-punktowego FFT o podstawie 2 z podziałem w częstotliwości, odwróconą bitowo kolejnością danych wejściowych i normalnie uporządkowanymi wynikami



Opracowanie struktury potokowego ALU do realizacji operacji bazowej FFT₂ (z podziałem w częstotliwości)

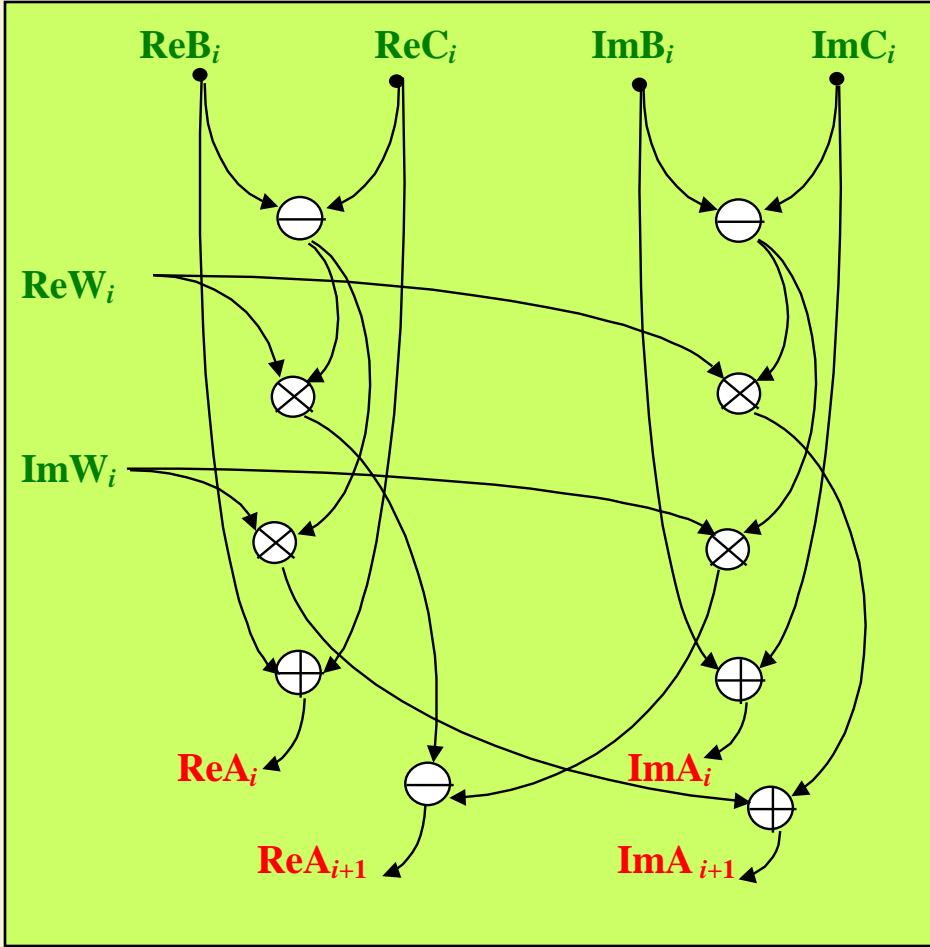


$$A_i = B_i + C_i$$

$$A_{i+1} = (B_i - C_i) \cdot W_i$$

$$\text{Re } A_i = \text{Re } B_i + \text{Re } C_i$$

$$\text{Im } A_i = \text{Im } B_i + \text{Im } C_i$$

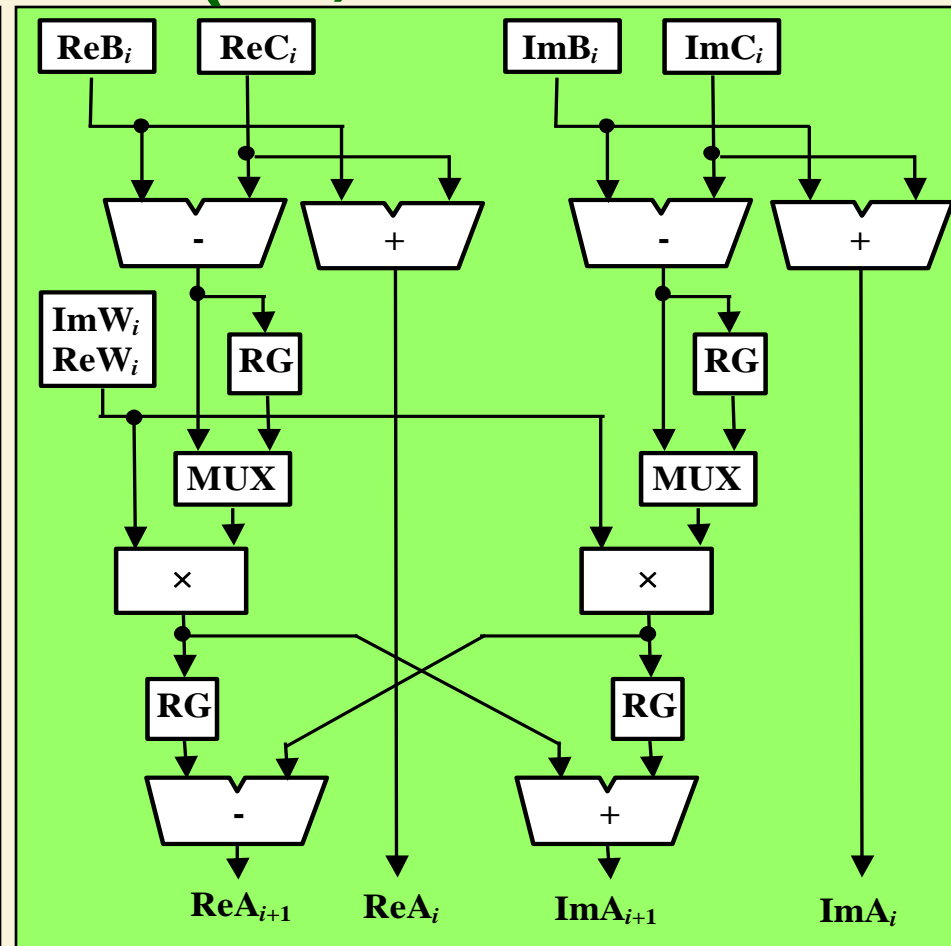
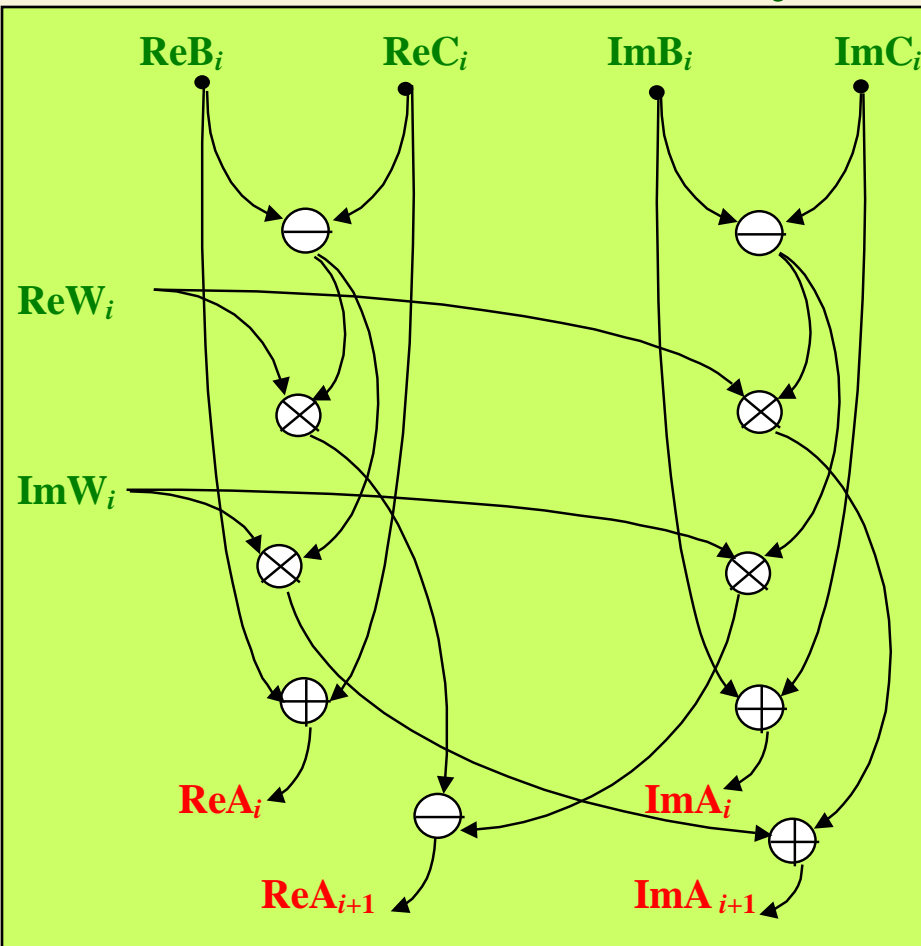


- Parametry op. bazowej**
- 4 operacje mnożenia;
 - 6 operacji dodawania.

$$\text{Re } A_{i+1} = (\text{Re } B_i - \text{Re } C_i) \cdot \text{Re } W_i - (\text{Im } B_i - \text{Im } C_i) \cdot \text{Im } W_i$$

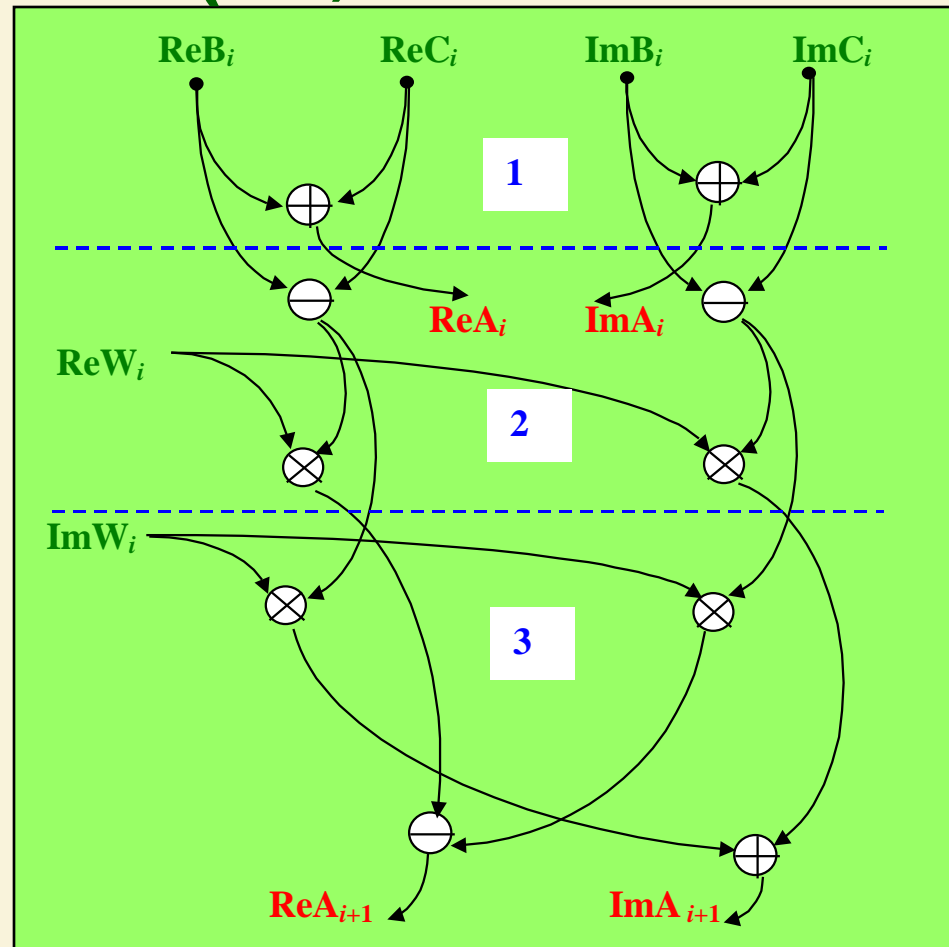
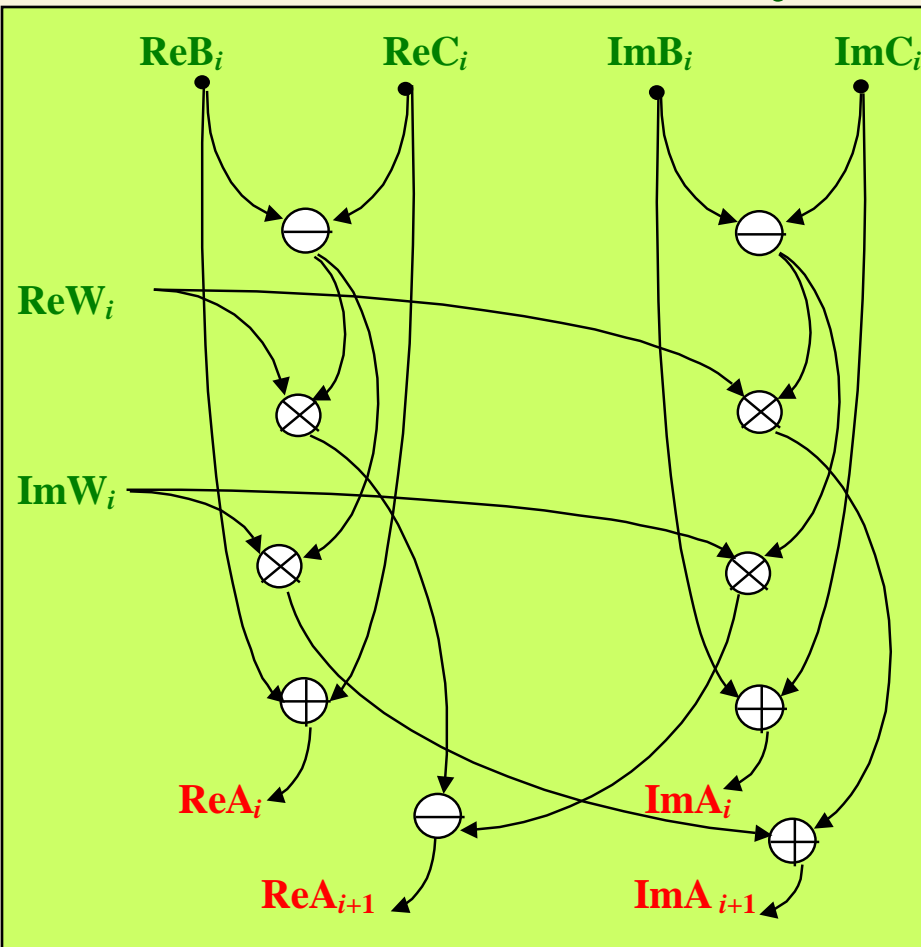
$$\text{Im } A_{i+1} = (\text{Re } B_i - \text{Re } C_i) \cdot \text{Im } W_i + (\text{Im } B_i - \text{Im } C_i) \cdot \text{Re } W_i$$

Opracowanie struktury potokowego ALU do realizacji operacji bazowej FFT₂ z podziałem w częstotliwości(c.d.)



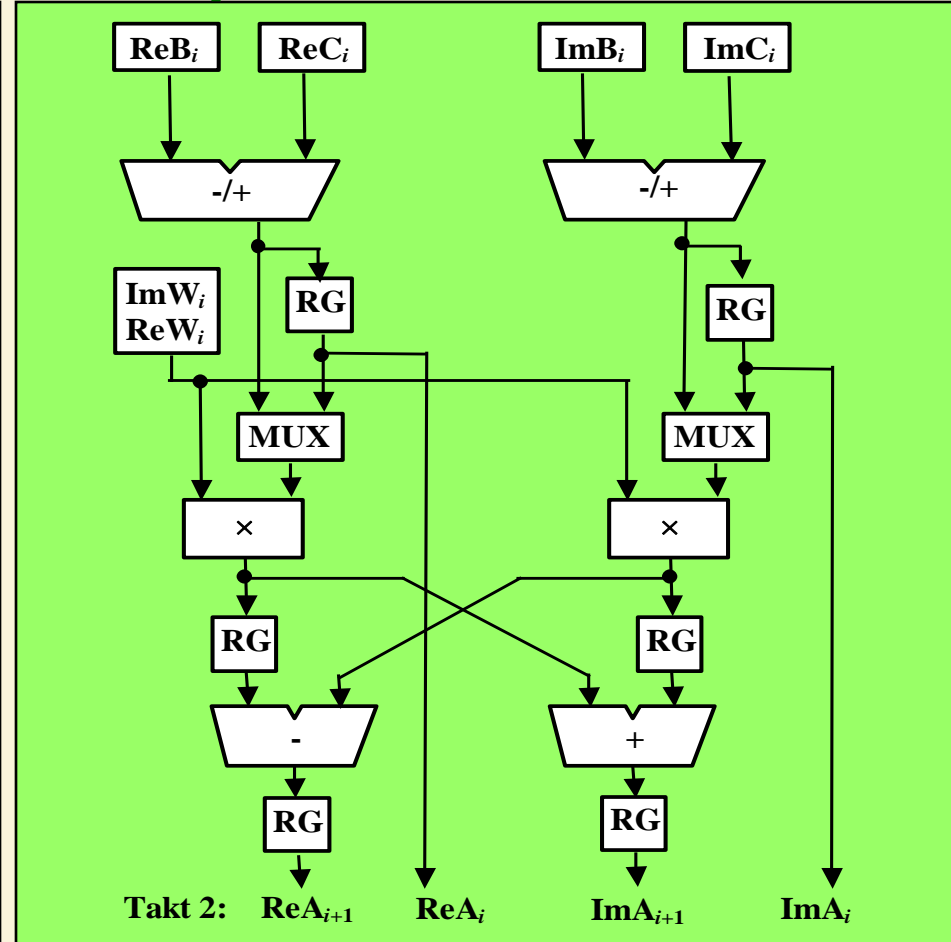
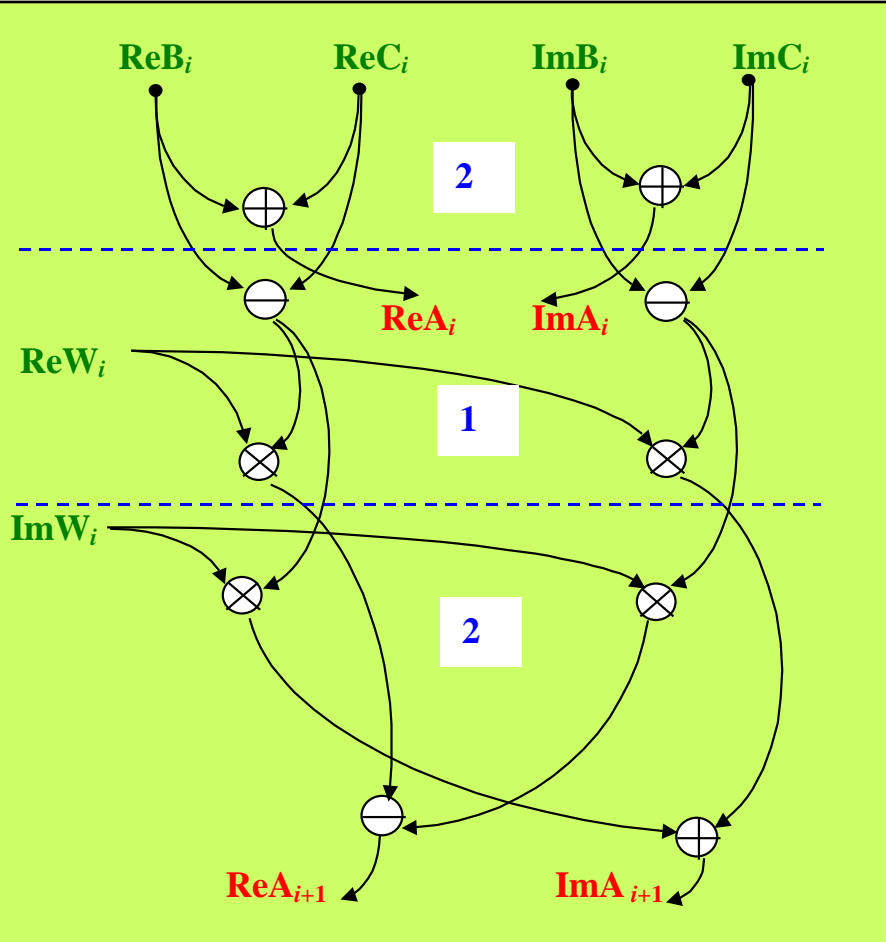
Parametry urządzenia:
2 bloki mnożące + 6 sumatorów; czas obliczeń - 2 takty.

Opracowanie struktury potokowego ALU do realizacji operacji bazowej FFT₂ z podziałem w częstotliwości(c.d.)



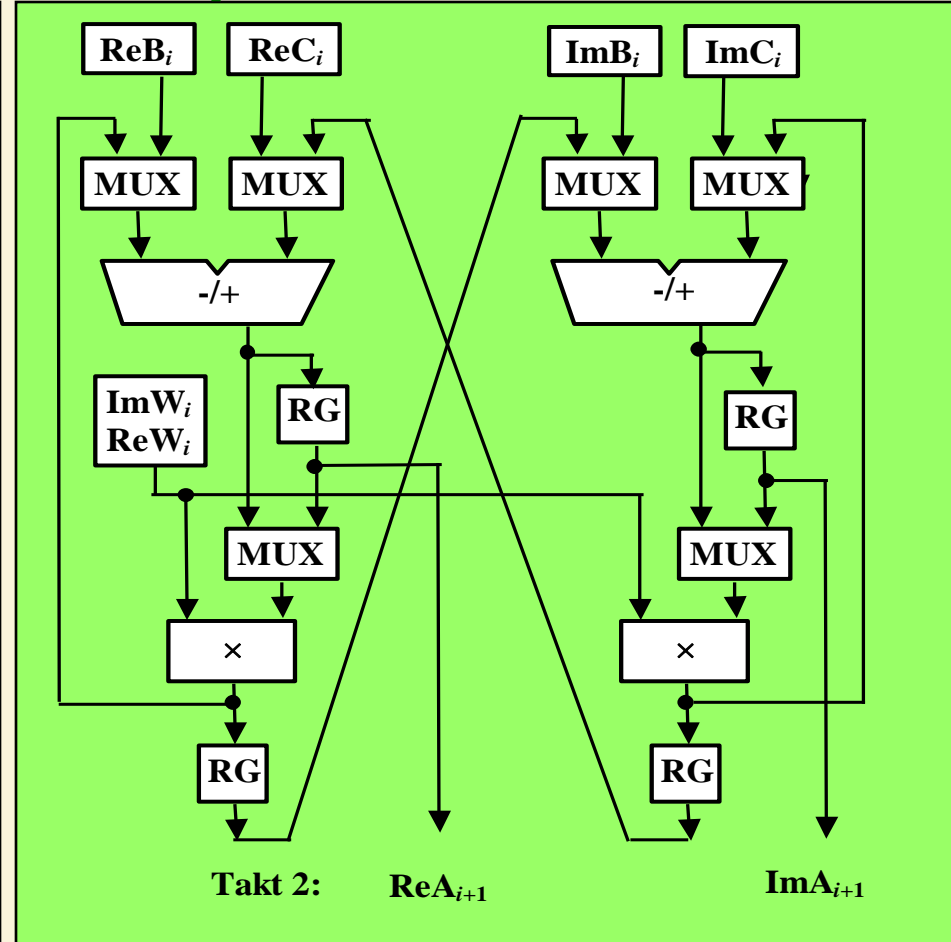
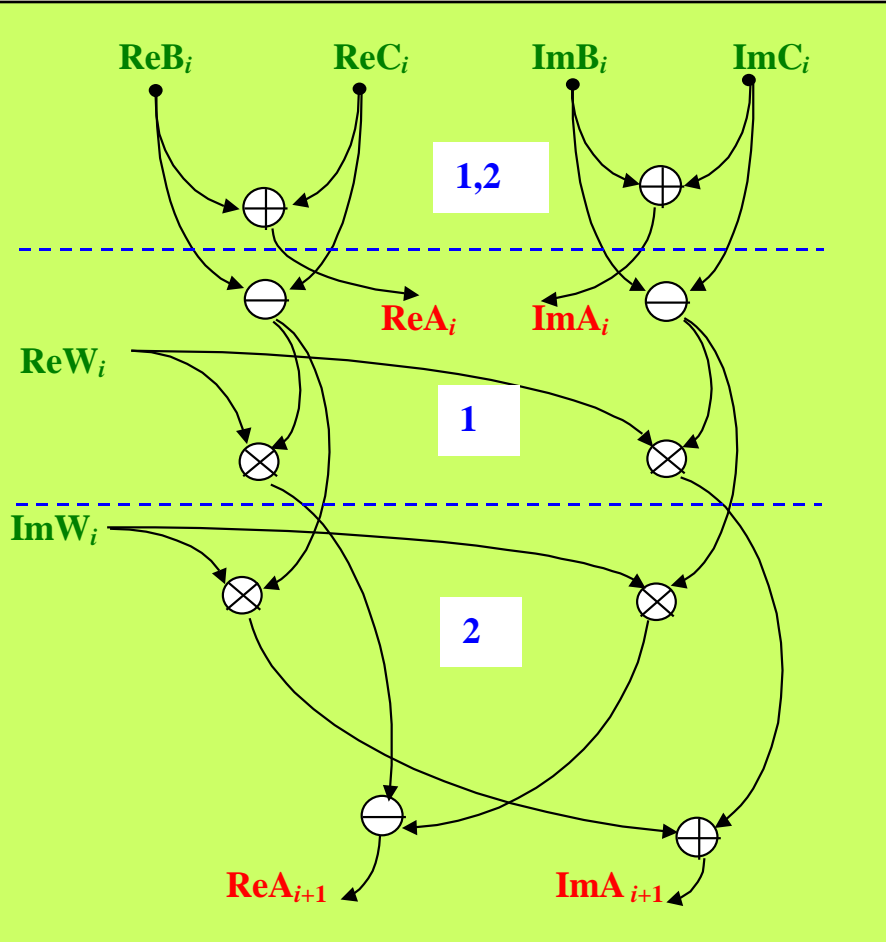
Parametry docelowego urządzenia:
2 bloki mnożące + 2 sumatory; czas obliczeń - 3 takty.

Opracowanie struktury potokowego ALU do realizacji operacji bazowej FFT₂ z podziałem w częstotliwości(c.d.)



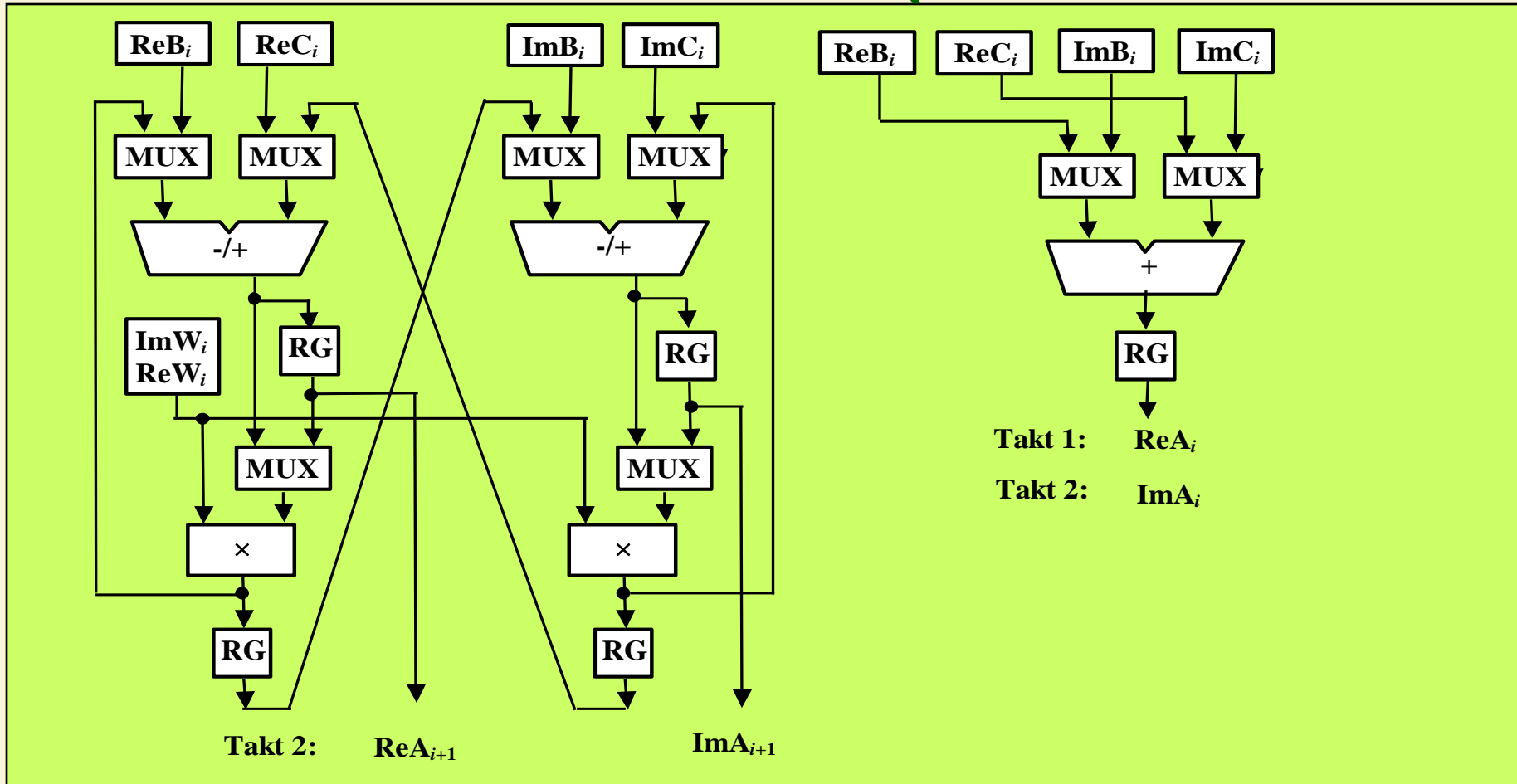
Parametry docelowego urządzenia:
2 bloki mnożące + 4 sumatory; czas obliczeń - 2 takty.

Opracowanie struktury potokowego ALU do realizacji operacji bazowej FFT₂ z podziałem w częstotliwości(c.d.)



Parametry docelowego urządzenia:
2 bloki mnożące + 3 sumatory; czas obliczeń - 2 takty.

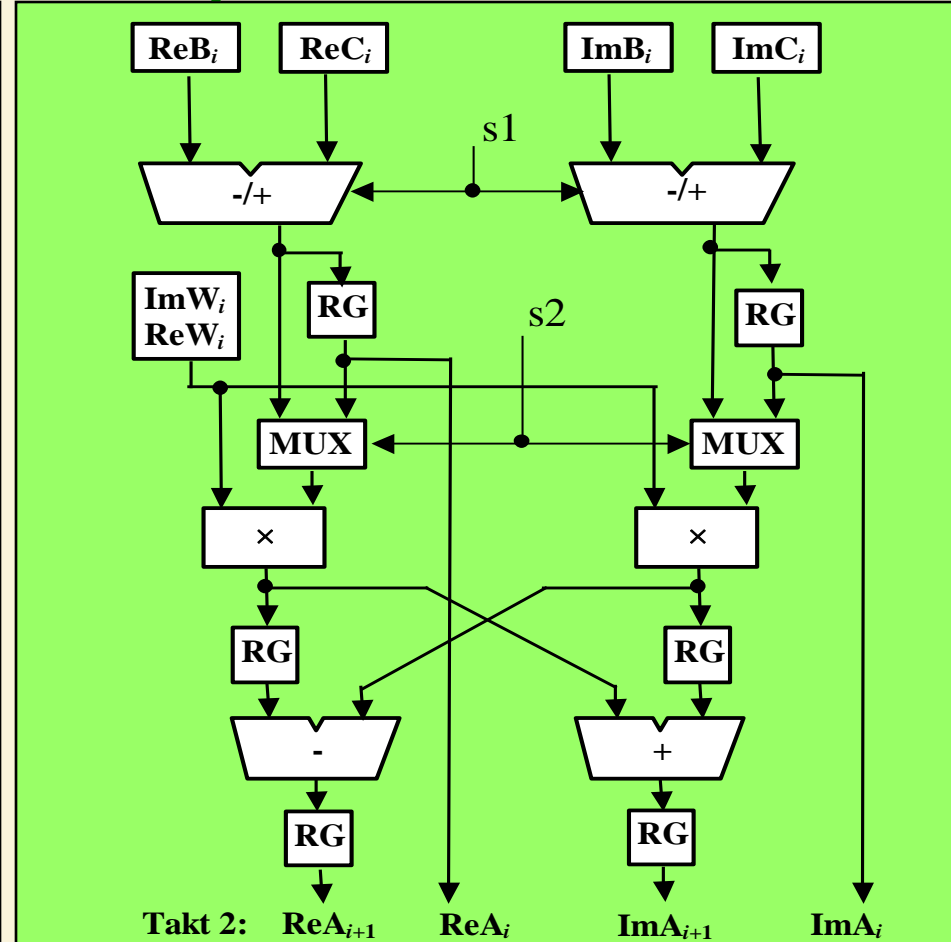
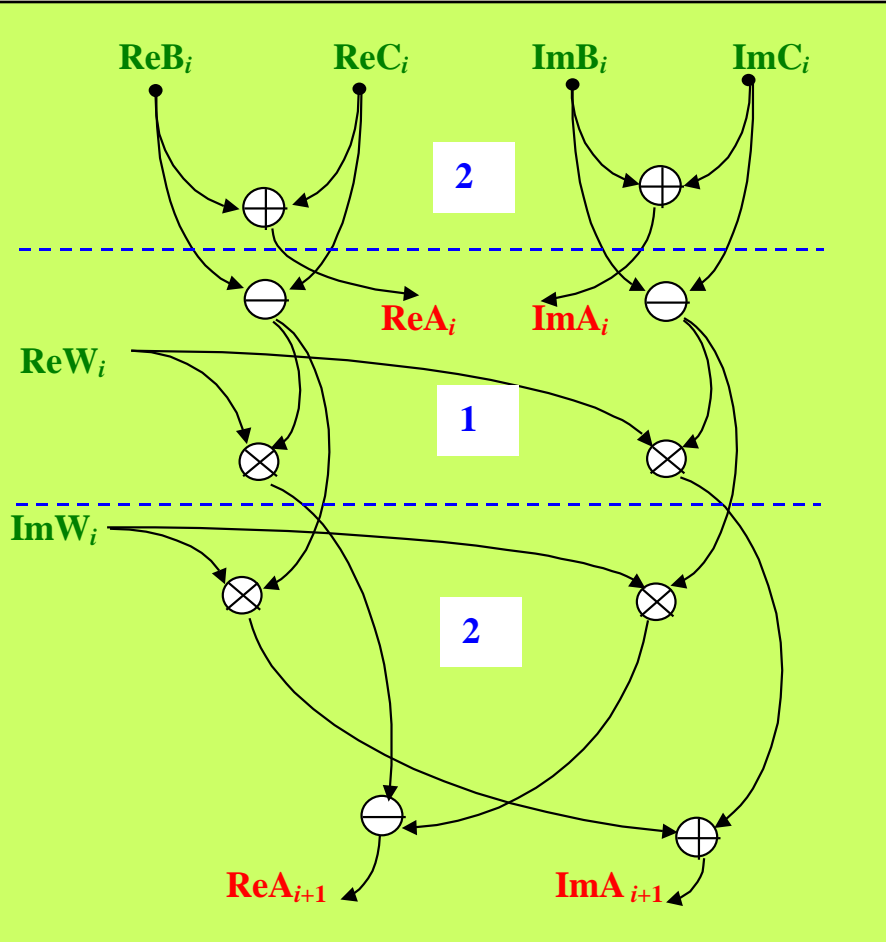
Opracowanie struktury potokowego ALU do realizacji operacji bazowej FFT₂ z podziałem w częstotliwości(c.d.)



Parametry docelowego urządzenia:

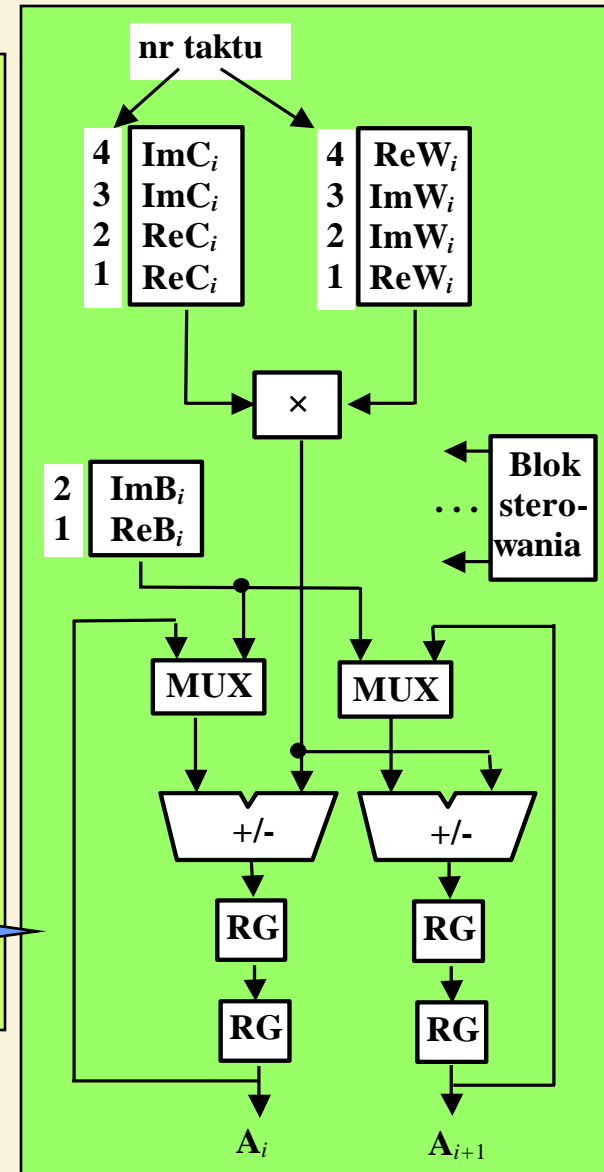
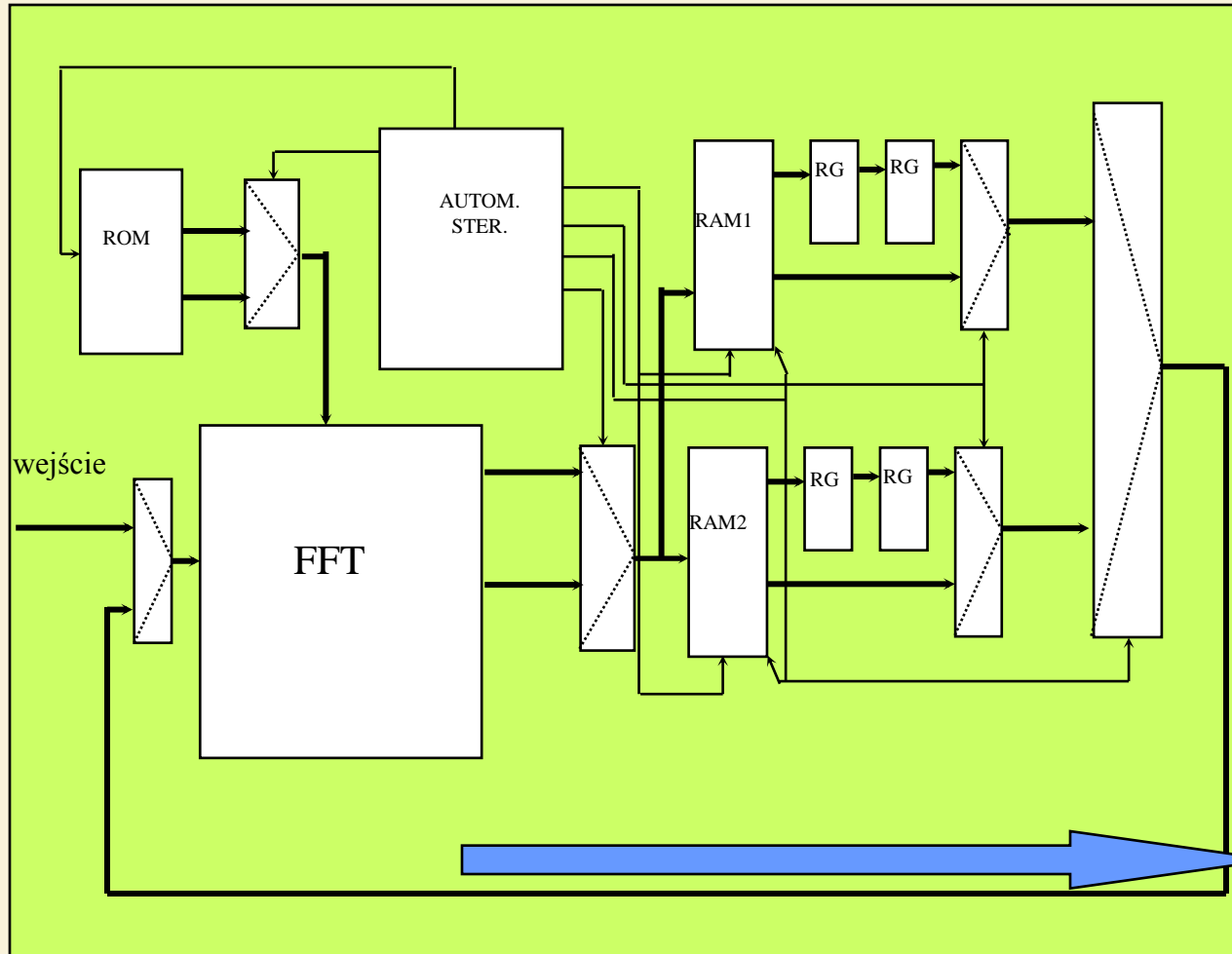
2 bloki mnożące + 3 sumatory; czas obliczeń - 2 takty.

Opracowanie struktury potokowego ALU do realizacji operacji bazowej FFT₂ z podziałem w częstotliwości(c.d.)



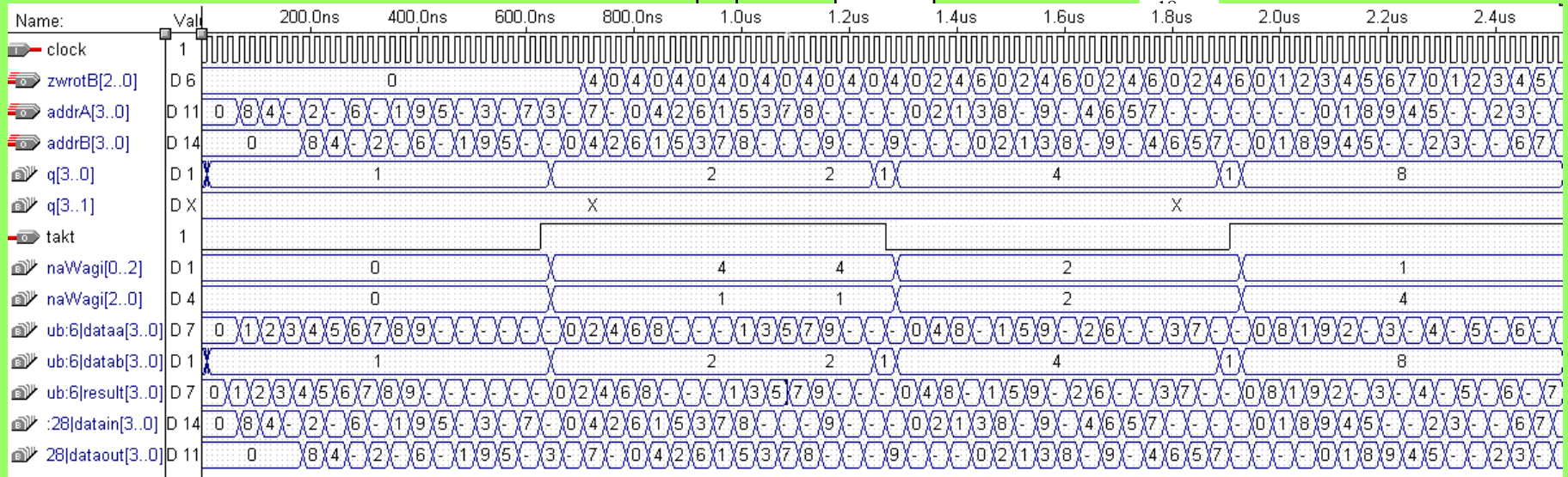
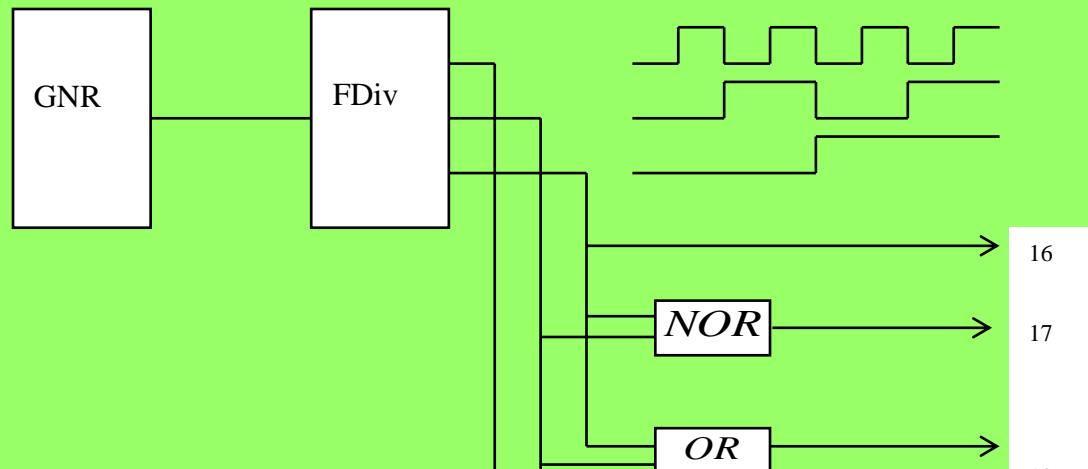
Parametry docelowego urządzenia:
2 bloki mnożące + 4 sumatory; czas obliczeń - 2 takty.

Struktura ogólna urządzenia potokowego do realizacji N -punktowego FFT_2



Struktura ogólna urządzenia potokowego do realizacji N -punktowego FFT_2 (c.d.)

Przykładowa struktura Bloku Sterowania oraz wyniki symulacji Generators Adresów



Zadania do pierwszej części projektu zespołowego

Nr zad.	FFT z podziałem w dziedzinie: częstotliwości (F), czasu (T)	Liczba bloków mnożenia i sumatorów \times, Σ	Odwrócona bitowo kolejność danych: na wejściu (We), na wyjściu (Wy)	Maksymalna długość cyklu obliczeniowego (taktów zegara t)
0	F	1, 1	We	6
1	F	1, 2	We	4
2	F	2, 2	We	3
3	F	2, 3	We	2
4	F	2, 4	We	2
5	T	2, 4	We	2
6	F	1, 1	Wy	6
7	F	1, 2	Wy	4
8	F	2, 2	Wy	3
9	F	2, 3	Wy	2
10	F	2, 4	Wy	2
11	T	2, 4	Wy	2
12	F	2, 6	Wy	2
13	F	2, 6	We	2
14	T	1, 2	Wy	4
15	T	1, 2	We	4